



Rafael Gadea Gadea

Generado desde: Editor CVN de FECYT

Fecha del documento: 02/04/2024

v 1.4.3

d9cd70c602989b54d5fa90d2fede0d99

Este fichero electrónico (PDF) contiene incrustada la tecnología CVN (CVN-XML). La tecnología CVN de este fichero permite exportar e importar los datos curriculares desde y hacia cualquier base de datos compatible. Listado de Bases de Datos adaptadas disponible en <http://cvn.fecyt.es/>



Resumen libre del currículum

Descripción breve de la trayectoria científica, los principales logros científico-técnicos obtenidos, los intereses y objetivos científico-técnicos a medio/largo plazo de la línea de investigación. Incluye también otros aspectos o peculiaridades importantes.

Profesor de la Universitat Politècnica de València por el área de conocimiento de Tecnología Electrónica, pertenezco desde 1991 al Departamento de Ingeniería Electrónica. Docentamente adscrito a la Escuela Técnica Superior de Ingenieros de Telecomunicación donde imparto desde 1991 la mayoría de mis clases. Mientras que las actividades relacionadas con la investigación las llevo a cabo en el Instituto de Instrumentación para Imagen Molecular.

Doctor Ingeniero Industrial por la Universitat Politècnica de València desde 2000, he centrado mi investigación en la implementación, optimización y aplicación de las redes neuronales.

También son áreas de interés en las que he desarrollado investigación: Diseño Microelectrónico, Diseño de aceleradores Hardware, Diseño Digital con HDLs, FPGAs, SoC, Tratamiento Digital de la Señal para aplicaciones de Audio y Video, y adquisición y procesado de imágenes médicas.



Indicadores generales de calidad de la producción científica

Información sobre el número de sexenios de investigación y la fecha del último concedido, número de tesis doctorales dirigidas en los últimos 10 años, citas totales, promedio de citas/año durante los últimos 5 años (sin incluir el año actual), publicaciones totales en primer cuartil (Q1), índice h. Incluye otros indicadores considerados de importancia.

Nº de sexenios de investigación: 3 Fecha Último Concedido:2018.
Nº de tesis doctorales dirigidas:7
Nº de trabajos de investigación dirigidos (DEA):6
Nº de participaciones en congresos: 76
Nº de participaciones en proyectos de investigación: 25 Cómo IP: 3
Nº de artículos en revistas indexadas en ISI:65
Citas totales:501
Promedio de citas/año durante los últimos 5 años (sin incluir el año actual): 29
Publicaciones totales en primer cuartil (Q1): 19
Índice h: 15

Rafael Gadea Gadea

Apellidos: **Gadea Gadea**
Nombre: **Rafael**
ORCID: **0000-0003-2857-8667**
ScopusID: **55886480900**
ResearcherID: **F-4875-2010**
Sexo: **Hombre**
País de nacimiento: **España**
C. Autón./Reg. de nacimiento: **Comunidad Valenciana**
Ciudad de nacimiento: **Alcoy**
C. Autón./Reg. de contacto: **Comunidad Valenciana**
Correo electrónico: **rgadea@eln.upv.es**

Situación profesional actual

Entidad empleadora: UNIVERSITAT POLITÈCNICA DE VALÈNCIA **Tipo de entidad:** Universidad
Departamento: Departamento Ingeniería Electrónica, E.T.S.I. de Telecomunicación
Categoría profesional: Titular de Universidad **Gestión docente (Sí/No):** Si
Correo electrónico: rgadea@eln.upv.es
Fecha de inicio: 12/03/2003
Modalidad de contrato: Funcionario/a **Régimen de dedicación:** Tiempo completo
Primaria (Cód. Unesco): 330793 - Microelectrónica. Diseño

Cargos y actividades desempeñados con anterioridad

	Entidad empleadora	Categoría profesional	Fecha de inicio
1	Universitat Politècnica de València	Subdirector/a del DCEO	02/07/2012
2	Universitat Politècnica de València	Subdtor.Departamento Ing ^a Electrónica	02/07/2012
3	Universitat Politècnica de València	Subdtor/a Departamento Ing ^a Electrónica	02/07/2012
4	Universitat Politècnica de València	Subdirector/a del DCEO	01/07/2009
5	Universitat Politècnica de València	Subdtor.Departamento Ing ^a Electrónica	01/07/2009
6	Universitat Politècnica de València	Subdtor/a Departamento Ing ^a Electrónica	01/07/2009
7	Universitat Politècnica de València	Profesor/a Titular de Universidad	14/05/2007
8	Universitat Politècnica de València	Profesor/a Titular de Universidad	12/03/2003
9	Universitat Politècnica de València	Profesor/a Titular Escuela Universitaria	17/02/1996
10	Universitat Politècnica de València	Profesor/a Titular Escuela Univ. -Inter,	01/12/1992
11	Universitat Politècnica de València	Profesor/a Asociado/a (ASO-1)	12/11/1991

1 Entidad empleadora: Universitat Politècnica de València
Categoría profesional: Subdirector/a del DCEO
Fecha de inicio: 02/07/2012



Formación académica recibida

Titulación universitaria

Estudios de 1º y 2º ciclo, y antiguos ciclos (Licenciados, Diplomados, Ingenieros Superiores, Ingenieros Técnicos, Arquitectos)

Titulación universitaria: INGENIERO INDUSTRIAL

Nombre del título: INGENIERO INDUSTRIAL

Ciudad entidad titulación: España

Entidad de titulación: UNIVERSITAT
POLITÈCNICA DE VALÈNCIA

Tipo de entidad: Universidad

Fecha de titulación: 10/01/1990

Doctorados

Programa de doctorado: DOCTOR INGENIERO INDUSTRIAL

Entidad de titulación: UNIVERSITAT
POLITÈCNICA DE VALÈNCIA

Tipo de entidad: Universidad

Ciudad entidad titulación: España

Fecha de titulación: 11/02/2000

Título de la tesis: Implementación mediante FPGA de un perceptrón multicapa entrenado con el algoritmo BP aplicando técnicas de computación paralela pipeline y architect

Cursos y seminarios recibidos de perfeccionamiento, innovación y mejora docente, nuevas tecnologías, etc., cuyo objetivo sea la mejora de la docencia

- Título del curso/seminario:** Vídeo vertical: cómo generar contenidos para captar la atención del alumnado en 30 segundos
Entidad organizadora: ICE
Duración en horas: 8 horas
Fecha de finalización: 08/11/2023
- Título del curso/seminario:** ESTRUCTURA PEDAGÓGICA DE LOS MATERIALES ONLINE: CREACIÓN Y ORGANIZACIÓN DE CONTENIDOS CON EL EDITOR DE POLIFORMAT - (FORMACIÓN PEDAGÓGICA Y TECNOLÓGICA UNIVERSITARIA)
Entidad organizadora: ICE
Duración en horas: 10 horas
Fecha de finalización: 13/10/2021
- Título del curso/seminario:** ELABORACIÓN DE RECURSOS MULTIMEDIA PARA LA DOCENCIA: VÍDEOS SCREENCAST - (FORMACIÓN PEDAGÓGICA Y TECNOLÓGICA UNIVERSITARIA)
Entidad organizadora: ICE
Duración en horas: 5 horas
Fecha de finalización: 14/06/2021



- 4** **Título del curso/seminario:** LOS BLOGS AL SERVICIO DE LA DOCENCIA - (FORMACIÓN PEDAGÓGICA Y TECNOLÓGICA UNIVERSITARIA)
Entidad organizadora: ICE
Duración en horas: 5 horas
Fecha de finalización: 24/05/2021
- 5** **Título del curso/seminario:** PLATAFORMAS DE TRABAJO COLABORATIVO - (FORMACIÓN PEDAGÓGICA Y TECNOLÓGICA UNIVERSITARIA)
Entidad organizadora: ICE
Duración en horas: 10 horas
Fecha de finalización: 03/05/2021
- 6** **Título del curso/seminario:** Planificación y desarrollo de mi proyecto para la implantación de la metodología docencia inversa
Entidad organizadora: ICE
Duración en horas: 4 horas
Fecha de finalización: 25/06/2019
- 7** **Título del curso/seminario:** PAUTAS PARA UNA CORRECTA IMPLEMENTACIÓN DE LA METODOLOGÍA. CAMPUS DE VERA
Entidad organizadora: ICE
Duración en horas: 1 hora
Fecha de finalización: 23/10/2018
- 8** **Título del curso/seminario:** Publicar con Springer
Entidad organizadora: ICE
Duración en horas: 2 horas
Fecha de finalización: 05/07/2017
- 9** **Título del curso/seminario:** Estrategias y decisiones a tomar en la implantación de la metodología de clase inversa
Entidad organizadora: ICE
Duración en horas: 4 horas
Fecha de finalización: 01/07/2016
- 10** **Título del curso/seminario:** Cómo practicar flip teaching- VERA M
Entidad organizadora: ICE
Duración en horas: 4 horas
Fecha de finalización: 21/04/2015
- 11** **Título del curso/seminario:** Curso Inglés B1+
Entidad organizadora: CDL (centro de Lenguas)
Duración en horas: 100 horas
Fecha de finalización: 29/05/2014
- 12** **Título del curso/seminario:** Curso de Inglés B1
Entidad organizadora: CDL (centro de Lenguas)
Duración en horas: 50 horas
Fecha de finalización: 20/12/2012



- 13** **Título del curso/seminario:** GENERACIÓN Y PUBLICACIÓN DE CONTENIDOS WEB PERSONALES. NIVEL AVANZADO.
Entidad organizadora: ICE
Duración en horas: 10 horas
Fecha de finalización: 15/06/2010
- 14** **Título del curso/seminario:** INICIACIÓN A FLASH, FLASH VIDEO y SUS APLICACIONES DIDÁCTICAS
Entidad organizadora: ICE
Duración en horas: 8 horas
Fecha de finalización: 03/06/2010
- 15** **Título del curso/seminario:** E-LEARNING 2.0. RECURSOS PARA ENSEÑAR
Entidad organizadora: ICE
Duración en horas: 8 horas
Fecha de finalización: 09/02/2010
- 16** **Título del curso/seminario:** PRODUCCIÓN MULTIMEDIA PARA POLITUBE
Entidad organizadora: ICE
Duración en horas: 6 horas
Fecha de finalización: 24/06/2009
- 17** **Título del curso/seminario:** ELABORACIÓN DE PRÁCTICAS DOCENTES CON MATHEMATICA
Entidad organizadora: ICE
Duración en horas: 8 horas
Fecha de finalización: 08/07/2008
- 18** **Título del curso/seminario:** LA EVALUACIÓN A TRAVÉS DE POLIFORMAT: TAREAS Y EXÁMENES
Entidad organizadora: ICE
Duración en horas: 8 horas
Fecha de finalización: 21/02/2008
- 19** **Título del curso/seminario:** ELABORACIÓN DE MATERIALES INTERACTIVOS DE CALIDAD: LA HERRAMIENTA DE AUTOR MELETE
Entidad organizadora: ICE
Duración en horas: 8 horas
Fecha de finalización: 19/02/2008
- 20** **Título del curso/seminario:** E-LEARNING 2.0 POSIBILIDADES DE LA WEB 2.0 EN EDUCACIÓN SUPERIOR
Entidad organizadora: ICE
Duración en horas: 12 horas
Fecha de finalización: 10/01/2008
- 21** **Título del curso/seminario:** TALLER ESPECÍFICO DE OBJETOS DE APRENDIZAJE (OA) 10
Entidad organizadora: ICE
Duración en horas: 2 horas
Fecha de finalización: 26/06/2007
- 22** **Título del curso/seminario:** POLIMEDIA: MODELO DE LA UPV PARA LA PRODUCCIÓN DE CONTENIDOS MULTIMEDIA PARA LA TELEEDUCACIÓN
Entidad organizadora: ICE
Duración en horas: 4 horas



Fecha de finalización: 04/12/2006

- 23** **Título del curso/seminario:** Usos y aplicaciones de la plataforma PoliformaT para la docencia
Entidad organizadora: ICE
Duración en horas: 4 horas
Fecha de finalización: 06/11/2006
- 24** **Título del curso/seminario:** Elaboración de Unidades Didácticas en Web
Entidad organizadora: ICE
Duración en horas: 12 horas
Fecha de finalización: 22/06/2006
- 25** **Título del curso/seminario:** Gestión automatizada de referencias bibliográficas y elaboración de bibliografías
Entidad organizadora: ICE
Duración en horas: 4 horas
Fecha de finalización: 14/01/2005
- 26** **Título del curso/seminario:** Estrategias metodológicas para la enseñanza universitaria
Entidad organizadora: ICE
Duración en horas: 12 horas
Fecha de finalización: 16/06/2000
- 27** **Título del curso/seminario:** Elaboración de unidades didácticas con HTML
Entidad organizadora: ICE
Duración en horas: 12 horas
Fecha de finalización: 18/06/1999
- 28** **Título del curso/seminario:** Nuevas Tecnologías Aplicadas a la Educación
Entidad organizadora: ICE
Duración en horas: 12 horas
Fecha de finalización: 11/06/1999
- 29** **Título del curso/seminario:** Técnicas de grupo I
Entidad organizadora: ICE
Duración en horas: 15 horas
Fecha de finalización: 11/06/1993
- 30** **Título del curso/seminario:** TÉCNICAS DE GRUPO PARA UN CAMBIO DE CLIMA EN EL AULA
Entidad organizadora: ICE
Duración en horas: 15 horas
Fecha de finalización: 09/06/1993



Conocimiento de idiomas

Idioma	Comprensión auditiva	Comprensión de lectura	Interacción oral	Expresión oral	Expresión escrita
Inglés		B1	B1	B1	B1

Actividad docente

Formación académica impartida

- 1** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: CIRCUITOS ELECTRÓNICOS PROGRAMABLES
Curso que se imparte: 2004
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València
- 2** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: CIRCUITOS ELECTRÓNICOS PROGRAMABLES
Titulación universitaria: I. Automática y Electrónica Industrial (2º ciclo); I. Industrial
Curso que se imparte: 2005
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València
- 3** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: CIRCUITOS ELECTRÓNICOS PROGRAMABLES
Titulación universitaria: I. Automática y Electrónica Industrial (2º ciclo); I. Organización Industrial (2º ciclo)
Curso que se imparte: 2006
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València
- 4** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: CIRCUITOS ELECTRÓNICOS PROGRAMABLES
Titulación universitaria: I. Automática y Electrónica Industrial (2º ciclo); I. Industrial
Curso que se imparte: 2007
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València
- 5** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: CIRCUITOS ELECTRÓNICOS PROGRAMABLES
Titulación universitaria: I. Automática y Electrónica Industrial (2º ciclo); I. Industrial; I.T. Informática de Gestión
Curso que se imparte: 2008
Tipo de horas/créditos ECTS: Créditos



Nº de horas/créditos ECTS: 3

Entidad de realización: Universitat Politècnica de València

6 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: CIRCUITOS ELECTRÓNICOS PROGRAMABLES

Titulación universitaria: I. Automática y Electrónica Industrial (2º ciclo)

Curso que se imparte: 2009

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 3

Entidad de realización: Universitat Politècnica de València

7 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: CIRCUITOS ELECTRÓNICOS PROGRAMABLES

Titulación universitaria: I. Automática y Electrónica Industrial (2º ciclo)

Curso que se imparte: 2010

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 3

Entidad de realización: Universitat Politècnica de València

8 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: CIRCUITOS ELECTRÓNICOS PROGRAMABLES

Titulación universitaria: I. Automática y Electrónica Industrial (2º ciclo)

Curso que se imparte: 2011

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 3

Entidad de realización: Universitat Politècnica de València

9 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: CODISEÑO Y VERIFICACIÓN HARDWARE-SOFTWARE

Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos

Curso que se imparte: 2007

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 2,5

Entidad de realización: Universitat Politècnica de València

10 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: CODISEÑO Y VERIFICACIÓN HARDWARE-SOFTWARE

Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos

Curso que se imparte: 2008

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 2

Entidad de realización: Universitat Politècnica de València

11 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: CODISEÑO Y VERIFICACIÓN HARDWARE-SOFTWARE

Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos

Curso que se imparte: 2009

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 2

Entidad de realización: Universitat Politècnica de València



- 12** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: CODISEÑO Y VERIFICACIÓN HARDWARE-SOFTWARE
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2010
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 2
Entidad de realización: Universitat Politècnica de València
- 13** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: CODISEÑO Y VERIFICACIÓN HARDWARE-SOFTWARE
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos; PROGRAMA DE DOCTORADO EN INGENIERÍA ELECTRÓNICA
Curso que se imparte: 2011
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 2
Entidad de realización: Universitat Politècnica de València
- 14** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: CODISEÑO Y VERIFICACIÓN HARDWARE-SOFTWARE
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2012
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 2
Entidad de realización: Universitat Politècnica de València
- 15** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Codiseño hardware software
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos; Máster Universitario en Ingeniería de Telecomunicación
Curso que se imparte: 2023
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 4,7
Entidad de realización: Universitat Politècnica de València
- 16** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Codiseño hardware-software
Titulación universitaria: Máster Universitario en Ingeniería de Telecomunicación
Curso que se imparte: 2014
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 4
Entidad de realización: Universitat Politècnica de València
- 17** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Codiseño hardware-software
Titulación universitaria: Máster Universitario en Ingeniería de Telecomunicación; Programa de Doctorado en Ingeniería Electrónica
Curso que se imparte: 2015
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 5,6
Entidad de realización: Universitat Politècnica de València



- 18** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Codiseño hardware-software
Titulación universitaria: Máster Universitario en Ingeniería de Telecomunicación
Curso que se imparte: 2016
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 4,38
Entidad de realización: Universitat Politècnica de València
- 19** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Codiseño hardware-software
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos; Máster Universitario en Ingeniería de Telecomunicación
Curso que se imparte: 2017
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6,26
Entidad de realización: Universitat Politècnica de València
- 20** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Codiseño hardware-software
Titulación universitaria: Máster Universitario en Ingeniería de Telecomunicación
Curso que se imparte: 2018
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 5,2
Entidad de realización: Universitat Politècnica de València
- 21** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Codiseño hardware-software
Titulación universitaria: Máster Universitario en Ingeniería de Telecomunicación
Curso que se imparte: 2019
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 5,2
Entidad de realización: Universitat Politècnica de València
- 22** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Codiseño hardware-software
Titulación universitaria: Máster Universitario en Ingeniería de Telecomunicación
Curso que se imparte: 2020
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 5,2
Entidad de realización: Universitat Politècnica de València
- 23** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Codiseño hardware-software
Titulación universitaria: Máster Universitario en Ingeniería de Telecomunicación; Máster Universitario en Tecnologías, Sistemas y Redes de Comunicaciones
Curso que se imparte: 2021
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 4,3
Entidad de realización: Universitat Politècnica de València



- 24** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Codiseño hardware-software
Titulación universitaria: Máster Universitario en Ingeniería de Telecomunicación
Curso que se imparte: 2022
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 4,4
Entidad de realización: Universitat Politècnica de València
- 25** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS
Curso que se imparte: 1998
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 12
Entidad de realización: Universitat Politècnica de València
- 26** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS
Curso que se imparte: 1999
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 15
Entidad de realización: Universitat Politècnica de València
- 27** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS
Curso que se imparte: 2000
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València
- 28** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS
Curso que se imparte: 2001
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 7,5
Entidad de realización: Universitat Politècnica de València
- 29** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS
Curso que se imparte: 2002
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 8,1
Entidad de realización: Universitat Politècnica de València
- 30** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS
Curso que se imparte: 2003
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València



- 31** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS
Curso que se imparte: 2004
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València
- 32** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS
Curso que se imparte: 2005
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València
- 33** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS
Titulación universitaria: I. Telecomunicación
Curso que se imparte: 2006
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València
- 34** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS
Curso que se imparte: 2007
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1,6
Entidad de realización: Universitat Politècnica de València
- 35** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS
Curso que se imparte: 2008
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1,6
Entidad de realización: Universitat Politècnica de València
- 36** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS
Curso que se imparte: 2009
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1,6
Entidad de realización: Universitat Politècnica de València
- 37** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS
Curso que se imparte: 2010
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 4,1
Entidad de realización: Universitat Politècnica de València



- 38** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE SISTEMAS INTEGRADOS DIGITALES
Curso que se imparte: 2000
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1,5
Entidad de realización: Universitat Politècnica de València
- 39** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE SISTEMAS INTEGRADOS DIGITALES
Curso que se imparte: 2001
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1,5
Entidad de realización: Universitat Politècnica de València
- 40** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE SISTEMAS INTEGRADOS DIGITALES
Curso que se imparte: 2002
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 2
Entidad de realización: Universitat Politècnica de València
- 41** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE SISTEMAS INTEGRADOS DIGITALES
Curso que se imparte: 2003
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 2
Entidad de realización: Universitat Politècnica de València
- 42** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE SISTEMAS INTEGRADOS DIGITALES
Titulación universitaria: I. Automática y Electrónica Industrial (2º ciclo); I. Telecomunicación
Curso que se imparte: 2008
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 2
Entidad de realización: Universitat Politècnica de València
- 43** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE SISTEMAS INTEGRADOS DIGITALES
Titulación universitaria: I. Telecomunicación
Curso que se imparte: 2009
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València
- 44** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE SISTEMAS INTEGRADOS DIGITALES
Titulación universitaria: I. Telecomunicación
Curso que se imparte: 2010
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València



- 45** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE SISTEMAS INTEGRADOS DIGITALES
Titulación universitaria: I. Telecomunicación
Curso que se imparte: 2011
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València
- 46** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE SISTEMAS INTEGRADOS DIGITALES
Titulación universitaria: I. Telecomunicación
Curso que se imparte: 2012
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València
- 47** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO DE SISTEMAS INTEGRADOS DIGITALES
Titulación universitaria: I. Telecomunicación
Curso que se imparte: 2013
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València
- 48** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO Y APLICACIONES DE SISTEMAS COMPLEJOS BIOINSPIRADOS
Titulación universitaria: I. Automática y Electrónica Industrial (2º ciclo); I. Telecomunicación
Curso que se imparte: 2006
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València
- 49** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO Y APLICACIONES DE SISTEMAS COMPLEJOS BIOINSPIRADOS
Titulación universitaria: I. Telecomunicación
Curso que se imparte: 2007
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València
- 50** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO Y APLICACIONES DE SISTEMAS COMPLEJOS BIOINSPIRADOS
Titulación universitaria: I. Telecomunicación
Curso que se imparte: 2008
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València



- 51** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: DISEÑO Y APLICACIONES DE SISTEMAS COMPLEJOS BIOINSPIRADOS
Titulación universitaria: I. Telecomunicación; Ingeniero Aeronáutico
Curso que se imparte: 2009
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València
- 52** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Diseño Microelectrónico
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2020
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 0,5
Entidad de realización: Universitat Politècnica de València
- 53** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Diseño Microelectrónico
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2021
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 0,9
Entidad de realización: Universitat Politècnica de València
- 54** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Diseño Microelectrónico
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos; Máster Universitario en Ingeniería Industrial
Curso que se imparte: 2022
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 0,9
Entidad de realización: Universitat Politècnica de València
- 55** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Diseño Microelectrónico
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2023
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 0,9
Entidad de realización: Universitat Politècnica de València
- 56** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: ELECTRÓNICA DIGITAL
Curso que se imparte: 1998
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València
- 57** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: ELECTRÓNICA DIGITAL
Curso que se imparte: 1999



Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València

58 **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: ELECTRÓNICA DIGITAL
Curso que se imparte: 2000
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València

59 **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: ELECTRÓNICA DIGITAL
Curso que se imparte: 2001
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València

60 **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: ELECTRÓNICA DIGITAL
Curso que se imparte: 2002
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València

61 **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: ELECTRÓNICA DIGITAL
Curso que se imparte: 2003
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València

62 **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: ELECTRÓNICA DIGITAL
Curso que se imparte: 2004
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València

63 **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: ELECTRÓNICA DIGITAL
Titulación universitaria: I. Telecomunicación
Curso que se imparte: 2005
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València

64 **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: ELECTRÓNICA DIGITAL
Curso que se imparte: 2006
Tipo de horas/créditos ECTS: Créditos



Nº de horas/créditos ECTS: 6

Entidad de realización: Universitat Politècnica de València

65 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: ELECTRÓNICA DIGITAL

Curso que se imparte: 2007

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 6

Entidad de realización: Universitat Politècnica de València

66 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: Electronica Digital

Curso que se imparte: 1992

67 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: Electronica Digital

Curso que se imparte: 1993

68 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: Electronica Digital

Curso que se imparte: 1994

69 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: Electronica Digital

Curso que se imparte: 1995

70 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: Integración de Sistemas Digitales

Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación

Curso que se imparte: 2013

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 3,3

Entidad de realización: Universitat Politècnica de València

71 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: Integración de Sistemas Digitales

Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación

Curso que se imparte: 2014

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 6,6

Entidad de realización: Universitat Politècnica de València

72 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: Integración de Sistemas Digitales

Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación

Curso que se imparte: 2015

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 3,3

Entidad de realización: Universitat Politècnica de València



- 73** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Integración de Sistemas Digitales
Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación; Máster Universitario en Tecnologías, Sistemas y Redes de Comunicaciones
Curso que se imparte: 2016
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 3,3
Entidad de realización: Universitat Politècnica de València
- 74** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Integración de Sistemas Digitales
Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Curso que se imparte: 2017
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 3,3
Entidad de realización: Universitat Politècnica de València
- 75** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Integración de Sistemas Digitales
Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación; Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Curso que se imparte: 2018
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 8,36
Entidad de realización: Universitat Politècnica de València
- 76** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Integración de Sistemas Digitales
Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación; Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación; Grado en Ingeniería Electrónica Industrial y Automática
Curso que se imparte: 2019
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6,6
Entidad de realización: Universitat Politècnica de València
- 77** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Integración de Sistemas Digitales
Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación; Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Curso que se imparte: 2020
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6,6
Entidad de realización: Universitat Politècnica de València
- 78** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Integración de Sistemas Digitales
Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Curso que se imparte: 2021
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 4,2



Entidad de realización: Universitat Politècnica de València

79 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: LABORATORIO DE CIRCUITOS ELECTRÓNICOS

Curso que se imparte: 1998

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 6

Entidad de realización: Universitat Politècnica de València

80 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: LABORATORIO DE DISEÑO ELECTRÓNICO POR ORDENADOR

Curso que se imparte: 2010

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 2,2

Entidad de realización: Universitat Politècnica de València

81 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: MICROSISTEMAS Y SISTEMAS CELULARES COMPLEJOS

Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos

Curso que se imparte: 2007

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 2

Entidad de realización: Universitat Politècnica de València

82 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: MODELIZACION Y VERIFICACION DE SISTEMAS DIGITALES COMPLEJOS

Curso que se imparte: 2002

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 2

Entidad de realización: Universitat Politècnica de València

83 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: MODELIZACION Y VERIFICACION DE SISTEMAS DIGITALES COMPLEJOS

Curso que se imparte: 2005

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 2

Entidad de realización: Universitat Politècnica de València

84 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: SEMINARIOS PROFESIONALES

Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos

Curso que se imparte: 2011

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 0,5

Entidad de realización: Universitat Politècnica de València

85 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: SEMINARIOS PROFESIONALES

Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos

Curso que se imparte: 2012

Tipo de horas/créditos ECTS: Créditos



Nº de horas/créditos ECTS: 0,25

Entidad de realización: Universitat Politècnica de València

- 86** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: SISTEMAS INTEGRADOS
Curso que se imparte: 1998
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 3,5
Entidad de realización: Universitat Politècnica de València
- 87** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: SISTEMAS INTEGRADOS
Curso que se imparte: 1999
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 6
Entidad de realización: Universitat Politècnica de València
- 88** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Seminarios Profesionales
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2013
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 0,1
Entidad de realización: Universitat Politècnica de València
- 89** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Seminarios Profesionales
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2016
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València
- 90** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Seminarios Profesionales
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2017
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 2,25
Entidad de realización: Universitat Politècnica de València
- 91** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Seminarios Profesionales
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2018
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 2,25
Entidad de realización: Universitat Politècnica de València



- 92** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Seminarios Profesionales y Conferencias
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2021
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 2
Entidad de realización: Universitat Politècnica de València
- 93** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Complejos Bioinspirados
Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación; I. Telecomunicación
Curso que se imparte: 2013
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1,65
Entidad de realización: Universitat Politècnica de València
- 94** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Complejos Bioinspirados
Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Curso que se imparte: 2014
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 3,36
Entidad de realización: Universitat Politècnica de València
- 95** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Digitales Programables
Titulación universitaria: I. Telecomunicación; Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2013
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 0,5
Entidad de realización: Universitat Politècnica de València
- 96** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados
Curso que se imparte: 1992
- 97** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados
Curso que se imparte: 1993
- 98** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados
Curso que se imparte: 1994
- 99** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados
Curso que se imparte: 1995



- 100** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados Digitales
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2013
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València
- 101** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados Digitales
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2014
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València
- 102** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados Digitales
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2015
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 0,5
Entidad de realización: Universitat Politècnica de València
- 103** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados Digitales
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2016
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València
- 104** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados Digitales
Titulación universitaria: Grado en Ingeniería Electrónica Industrial y Automática; Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2017
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València
- 105** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados Digitales
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2018
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València



- 106** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados Digitales
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2019
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València
- 107** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados Digitales
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2020
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1
Entidad de realización: Universitat Politècnica de València
- 108** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados Digitales
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2021
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1,5
Entidad de realización: Universitat Politècnica de València
- 109** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados Digitales
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2022
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1,5
Entidad de realización: Universitat Politècnica de València
- 110** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas Integrados Digitales
Titulación universitaria: Máster Universitario en Ingeniería de Sistemas Electrónicos
Curso que se imparte: 2023
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 1,5
Entidad de realización: Universitat Politècnica de València
- 111** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas digitales programables
Curso que se imparte: 2011
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 4,95
Entidad de realización: Universitat Politècnica de València
- 112** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas digitales programables
Curso que se imparte: 2012
Tipo de horas/créditos ECTS: Créditos



Nº de horas/créditos ECTS: 4,95

Entidad de realización: Universitat Politècnica de València

113 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: Sistemas digitales programables

Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación

Curso que se imparte: 2013

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 2,53

Entidad de realización: Universitat Politècnica de València

114 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: Sistemas digitales programables

Curso que se imparte: 2014

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 2,53

Entidad de realización: Universitat Politècnica de València

115 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: Sistemas digitales programables

Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación

Curso que se imparte: 2015

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 2,53

Entidad de realización: Universitat Politècnica de València

116 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: Sistemas digitales programables

Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación

Curso que se imparte: 2016

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 4,95

Entidad de realización: Universitat Politècnica de València

117 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: Sistemas digitales programables

Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación

Curso que se imparte: 2017

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 4,95

Entidad de realización: Universitat Politècnica de València

118 Tipo de docencia: Docencia oficial

Nombre de la asignatura/curso: Sistemas digitales programables

Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación; Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación

Curso que se imparte: 2018

Tipo de horas/créditos ECTS: Créditos

Nº de horas/créditos ECTS: 4,95

Entidad de realización: Universitat Politècnica de València



- 119** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas digitales programables
Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Curso que se imparte: 2019
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 4,5
Entidad de realización: Universitat Politècnica de València
- 120** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas digitales programables
Titulación universitaria: Doble Titulación. Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación y Grado en Administración y Dirección de Empresas
Curso que se imparte: 2020
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 2,3
Entidad de realización: Universitat Politècnica de València
- 121** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas digitales programables
Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Curso que se imparte: 2022
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 2,3
Entidad de realización: Universitat Politècnica de València
- 122** **Tipo de docencia:** Docencia oficial
Nombre de la asignatura/curso: Sistemas digitales programables
Titulación universitaria: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Curso que se imparte: 2023
Tipo de horas/créditos ECTS: Créditos
Nº de horas/créditos ECTS: 2,3
Entidad de realización: Universitat Politècnica de València

Dirección de tesis doctorales y/o proyectos fin de carrera

- 1** **Título del trabajo:** Desarrollo de una VIP siguiendo la metodología UVM para la verificación del protocolo OCP
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: ANDUJAR MUÑOZ, SOFIA
Fecha de defensa: 21/09/2023
- 2** **Título del trabajo:** Implementación mediante OpenCL de Convolutional Neural Networks sobre plataformas FPGA de bajo consumo
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: ROCABADO ROCHA, JOSE LUIS
Fecha de defensa: 21/09/2023



- 3** **Título del trabajo:** Desarrollo de un banco de pruebas en UVM para la verificación de la interfaz de comunicación I2C de un circuito integrado para uso en automoción
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: MORENO FLORIDO, ALVARO JOSE
Fecha de defensa: 18/09/2023
- 4** **Título del trabajo:** Diseño y verificación de un sistema digitalizador de alta velocidad para la detección de pérdidas de haz en el CERN.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: PRESMANES CARDAMA, JAVIER
Fecha de defensa: 21/07/2023
- 5** **Título del trabajo:** Automatización mediante VUNIT de la verificación de microprocesadores RISC-V descritos en HDL.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: SANCHEZ ALFARO, MARC
Fecha de defensa: 20/09/2022
- 6** **Título del trabajo:** Diseño de un banco de pruebas para automatizar la verificación de microprocesadores RISC-V descritos en HDL mediante uso de metodología UVM.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: BARRERA COMECHE, VICENTE
Fecha de defensa: 12/09/2022
- 7** **Título del trabajo:** Simulaciones de potencia de arquitecturas pipeline de aprendizaje automático para ASIC
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: FARGUETA PELUFO, LIDIA
Fecha de defensa: 19/07/2022
- 8** **Título del trabajo:** Automatización de regresiones de test para sistemas de control de versiones en entornos de diseño y verificación digital
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: ROIG MONZON, PABLO
Fecha de defensa: 24/03/2022
- 9** **Título del trabajo:** Verificación de un SAR ADC con UVM en un entorno DMS
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: JUAN CERDA, JOSE
Fecha de defensa: 24/03/2022
- 10** **Título del trabajo:** Sistema embebido para la determinación de la maduración de la carne basado en un sensor de impedancias y procesado neuronal
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València



Alumno/a: RAMIREZ BETANCOURTH, CRISTIAN

Fecha de defensa: 10/12/2020

- 11 Título del trabajo:** Desarrollo de una lámpara LED UV con comunicación RS485, para el curado de tinta en una impresora industrial
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: CHABERT ULL, CARLOS
Fecha de defensa: 23/09/2020
- 12 Título del trabajo:** Implementación e integración sobre Keras tensorflow de capas neuronales desarrolladas con OpenCL-Verilog implementadas sobre FPGA
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: RUIZ QUINTANA, DIEGO
Fecha de defensa: 22/09/2020
- 13 Título del trabajo:** Desarrollo de un Agente de Monitoreo de Canales para administrar medidas de canales para sistemas G.hn basados en el protocolo LCMP y diseño de una herramienta para su representación.
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: ZAFRILLA MUÑOZ, JORGE
Fecha de defensa: 23/07/2020
- 14 Título del trabajo:** Aplicación de técnicas avanzadas de verificación digital a la validación de una memoria de una sola programación.
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: BARRIUSO MEDRANO, CLAUDIO
Fecha de defensa: 22/07/2020
- 15 Título del trabajo:** Verificación física de implementaciones del microprocesador RISC-V mediante plataforma embebida basada en FPGA
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: ZOMEÑO TORTAJADA, ALEJANDRO
Fecha de defensa: 16/07/2020
- 16 Título del trabajo:** Diseño e implementación de un jammer configurable en FPGA
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: MARTINEZ CUESTA, ALBERTO
Fecha de defensa: 21/01/2020
- 17 Título del trabajo:** Implementación de redes neuronales para Tomografía de Emisión de Positrones mediante FPGA
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: GARCIA MARTINEZ, JORGE
Fecha de defensa: 21/01/2020



- 18** **Título del trabajo:** DISEÑO DE UN BANCO DE PRUEBA CON UVM (UNIVERSAL VERIFICATION METHODOLOGY)
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: HERRAIZ CALATAYUD, MARIA
Fecha de defensa: 23/09/2019
- 19** **Título del trabajo:** Verificación basada en UVM de un subsistema de memoria OTP con corrección de errores
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: FABREGAT LOPEZ, JORGE
Fecha de defensa: 23/09/2019
- 20** **Título del trabajo:** Compresor basado en Transformada Wavelet para el Sistema de Adquisición de Datos de PETALO
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: ANTEQUERA CAÑADAS, PEDRO
Fecha de defensa: 19/09/2019
- 21** **Título del trabajo:** Desarrollo de un generador de patrones y analizador lógico basado en FPGA
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: COMPADRE OCHANDO, JUAN
Fecha de defensa: 18/09/2019
- 22** **Título del trabajo:** DISEÑO DE UN EGSE PARA EL PROYECTO SATELITAL SMOS2
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: PEREZ BLANCO, IVAN
Fecha de defensa: 17/09/2019
- 23** **Título del trabajo:** Caracterización, re-diseño y ensayo de tarjetas electrónicas en la industria nuclear
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: TOMAS GARCIA, SERGIO
Fecha de defensa: 15/07/2019
- 24** **Título del trabajo:** Módulo controlador de una PTC para el sector de automoción
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: SALVADOR PASTOR, BORJA
Fecha de defensa: 15/07/2019
- 25** **Título del trabajo:** Desarrollo de un sistema de medida de señales físicas para sistemas G.hn basado en el protocolo LCMP
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: MARTIN NAVARRO, ANTONIO
Fecha de defensa: 08/11/2018



- 26** **Título del trabajo:** Implementación de aceleradores OpenCL sobre FPGA de funciones básicas necesarias en algoritmos utilizados en "deep learning"
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: COMPADRE OCHANDO, JUAN
Fecha de defensa: 26/09/2018
- 27** **Título del trabajo:** Integración de un sistema de compresión datos en la electrónica de readout del proyecto PETALO
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: PAZMIÑO IBARRA, ROMMEL DANIEL
Fecha de defensa: 26/09/2018
- 28** **Título del trabajo:** Desarrollo de una red neuronal multicapa en java
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: LINAJE MORENO, FRANCISCO
Fecha de defensa: 20/09/2018
- 29** **Título del trabajo:** DESARROLLO DE UN SISTEMA CPS DE CAPTURA Y ANÁLISIS DE DATOS PARA ESTABLECER ALARMAS PREDICTIVAS DE MANTENIMIENTO BASADO EN INDUSTRIA 4.0
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: CAMARASA JOVANI, MARTA
Fecha de defensa: 19/09/2018
- 30** **Título del trabajo:** DISEÑO DE SISTEMA DE VERIFICACIÓN E IDENTIFICACIÓN DE INTERLOCUTOR MEDIANTE SISTEMA EMBEBIDO BASADO EN ARM-FPGA
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: VILLAPUN SANCHEZ, JOSE MANUEL
Fecha de defensa: 27/09/2017
- 31** **Título del trabajo:** Diseño e implementación de un sistema de captación y análisis de emisores múltiples de gran ancho de banda en FPGA
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: PEREZ ROJO, ISMAEL
Fecha de defensa: 27/09/2017
- 32** **Título del trabajo:** Modelizar la distorsión de un Op-amp ante una señal OFDM. Programación de un firmware de test mediante comandos AT
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: ALONSO DE SANTOCILDES NEBREDAS, SERGIO
Fecha de defensa: 27/09/2017
- 33** **Título del trabajo:** Sistema de bajo coste basado en FPGA para la adquisición de datos de sensores con monitorización inalámbrica sobre dispositivos móviles.
Tipo de proyecto: Trabajo Fin de Máster



Entidad de realización: Universitat Politècnica de València
Alumno/a: BLASCO LAHOZ, IGNACIO MANUEL
Fecha de defensa: 27/09/2017

- 34 Título del trabajo:** X-ECM: Desarrollo de firmware para dispositivo de validación.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: CASTRO RUBIO, CARLOS
Fecha de defensa: 12/07/2017
- 35 Título del trabajo:** Implementación del algoritmo Differential Evolution en OpenCL
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: PALAVECINO NICOTRA, MAURICIO RAUL
Fecha de defensa: 09/11/2016
- 36 Título del trabajo:** Técnicas para mejorar la eficiencia de la evolución Diferencial usando OpenCL
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: ROSA SEIVANE, MANUEL ANTONIO
Fecha de defensa: 22/07/2016
- 37 Título del trabajo:** Diseño de aceleradores hardware para procesamiento de audio en arquitecturas SoC
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: AZNAR RUIZ, CARLOS
Fecha de defensa: 15/07/2016
- 38 Título del trabajo:** IMPLEMENTACIÓN DEL ALGORITMO RESILIENT BACKPROPAGATION SOBRE ARM-FPGA MEDIANTE OPENCL.
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: MESSELKA, MOHAMED
Fecha de defensa: 14/07/2016
- 39 Título del trabajo:** Desarrollo de un compilador fuente-fuente (C a OpenCL) para FPGA. Aplicación sobre el SDK de Altera.
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: ROHDE, JOHANNA
Fecha de defensa: 12/07/2016
- 40 Título del trabajo:** Development of a data acquisition architecture with distributed synchronization for a Positron Emission Tomography system with integrated front-end.
Tipo de proyecto: Tesis Doctoral
Entidad de realización: Universitat Politècnica de València
Alumno/a: Aliaga Varea, Ramón José
Calificación obtenida: SOBRESALIENTE (cum laude)
Fecha de defensa: 04/02/2016
Mención de calidad: Si



- 41** **Título del trabajo:** STUDY AND IMPROVEMENT OF AUTO FOCUS RESPONSE WITH ARC CONTROL TUNING
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: CAÑADA VELA, JOSE CARLOS
Fecha de defensa: 25/09/2015
- 42** **Título del trabajo:** DISEÑO DE UN SISTEMA DE SEGURIDAD CON VERIFICACIÓN POR RECONOCIMIENTO DE VOZ
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: TWIZERE BAKUNDA, JACKSON DAUDET
Fecha de defensa: 23/07/2015
- 43** **Título del trabajo:** DISEÑO E IMPLEMENTACIÓN DE CONTROLADOR DE PANTALLAS MEDIANTE PIC24 CON FREERTOS
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: NAVASQUILLO MIRALLES, ALBERTO JOSE
Fecha de defensa: 16/09/2014
- 44** **Título del trabajo:** DISEÑO DE UN SISTEMA DE REALIDAD AUMENTADA SOBRE UN DISPOSITIVO FPGA
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: COLLADO RUIZ, JAVIER PRIMITIVO
Fecha de defensa: 18/09/2013
- 45** **Título del trabajo:** DISEÑO E IMPLEMENTACIÓN DE DEMOSTRADOR TÁCTIL DE IP DE VIDEO PARA SISTEMAS EMBEBIDOS BASADOS EN NIOS II
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: GONZALEZ LEGIDOS, JUAN MANUEL
Fecha de defensa: 18/09/2013
- 46** **Título del trabajo:** SISTEMA DE CONTROL DE MADERAS
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: MUÑOZ AGUILAR, JAVIER
Fecha de defensa: 18/09/2013
- 47** **Título del trabajo:** IMPLEMENTACIÓN DE UN PROCESADOR DIGITAL DE AUDIO BASADO EN FPGA.
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: LORENTE IZQUIERDO, DAVID
Fecha de defensa: 23/07/2013
- 48** **Título del trabajo:** Desarrollo e Implementación de un Plataforma de Telecomunicación con FPGAS a través de Ethernet y Canal Configurado por PxB
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: IGUAL PEREZ, ROMAN JOSE



Fecha de defensa: 26/09/2012

- 49** **Título del trabajo:** DEVELOPMENT AND IMPLEMENTATION OF AN ELECTRONIC SYSTEM FOR AUTOMATION DETECTION AND CHARACTERIZATION OF CUTTING EDGES
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: VILLENA MARTINEZ, JOSE DAVID
Fecha de defensa: 26/09/2012
- 50** **Título del trabajo:** Redes neuronales y preprocesado de variables para modelos y sensores en bioingeniería
Tipo de proyecto: Tesis Doctoral
Entidad de realización: Universitat Politècnica de València
Alumno/a: Mateo Jiménez, Fernando
Calificación obtenida: APTO (cum laude)
Fecha de defensa: 12/07/2012
Mención de calidad: Si
- 51** **Título del trabajo:** DISEÑO Y CARACTERIZACIÓN DE UN TDC MULTICANAL PARA APLICACIONES PET
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: PERINO, IVAN VIRGILIO
Fecha de defensa: 11/07/2012
- 52** **Título del trabajo:** Estudio de la estabilidad de la red eléctrica, posibles aplicaciones para la mejora y evaluación del IC VIPPLUS3
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: CANO ALFARO, DAVID
Fecha de defensa: 27/06/2012
- 53** **Título del trabajo:** CONTRIBUCION A LA INTEGRACION (FULL CUSTOM Y/O SEMICUSTOM) EN TECNOLOGIA CMOS DE UN NEUROESTIMULADOR PARA APLICACIONES EN EL CAMPO DE LA EPILEPSIA
Tipo de proyecto: Trabajo conducente a obtención de DEA
Entidad de realización: Universitat Politècnica de València
Alumno/a: HERMIDA PEREZ, ALVARO
Fecha de defensa: 26/04/2012
- 54** **Título del trabajo:** IMPLEMENTACIÓN DE UN CONVERTIDOR DE TIEMPO A DIGITAL UTILIZANDO UNA FPGA CYCLONE IV
Tipo de proyecto: Trabajo Fin de Máster
Entidad de realización: Universitat Politècnica de València
Alumno/a: MENDEZ MADRIGAL, ADOLFO
Fecha de defensa: 11/07/2011
- 55** **Título del trabajo:** Estudio, Modelado e Implementación Paralela de Sistemas Celulares Utilizados en Microfabricación
Tipo de proyecto: Tesis Doctoral
Entidad de realización: Universitat Politècnica de València
Alumno/a: Ferrando Jódar, Néstor
Calificación obtenida: SOBRESALIENTE (cum laude)
Fecha de defensa: 27/05/2011



Mención de calidad: Si

- 56 Título del trabajo:** Aceleración de sistemas bioinspirados mediante la implementación de hardware y software específico
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: SANZ AÑÑOS, SANTIAGO
Fecha de defensa: 16/09/2010
- 57 Título del trabajo:** Sistema de Control Automático de Trenes
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: CARBONELL ETAYO, CARLOS LORENZO
Fecha de defensa: 08/07/2010
- 58 Título del trabajo:** Evaluación de la metodología proporcionada por la librería de verificación OVM
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: OLIVER NAVARRO, VICENTE
Fecha de defensa: 29/09/2009
- 59 Título del trabajo:** DISEÑO Y EVALUACION DE ARQUITECTURAS MULTIPROCESADORAS BASADAS EN NIOS II PARA LA ACELERACION DE ALGORITMOS NEURONALES
Tipo de proyecto: Trabajo conducente a obtención de DEA
Entidad de realización: Universitat Politècnica de València
Alumno/a: ALIAGA VAREA, RAMON JOSE
Calificación obtenida: 9.0
Fecha de defensa: 29/10/2008
- 60 Título del trabajo:** Diseño y experimentación de un cuantizador vectorial hardware basado en redes neuronales para un sistema de codificación de video.
Tipo de proyecto: Tesis Doctoral
Entidad de realización: Universitat Politècnica de València
Alumno/a: Ramírez Agundis, Agustín
Calificación obtenida: SOBRESALIENTE CUM LAUDE
Fecha de defensa: 17/10/2008
Mención de calidad: No
- 61 Título del trabajo:** Análisis y desarrollo de un fron-end integrado para aplicaciones de tomografía por emisión de positrones
Tipo de proyecto: Tesis Doctoral
Entidad de realización: Universitat Politècnica de València
Alumno/a: Herrero Bosch, Vicente
Calificación obtenida: SOBRESALIENTE CUM LAUDE
Fecha de defensa: 15/02/2008
Mención de calidad: Si
- 62 Título del trabajo:** IMPLEMENTACIÓN DE UN SISTEMA DE POSICIONAMIENTO EN PET MEDIANTE LA APLICACION DE REDES NEURONALES DE APRENDIZAJE SUPERVISADO
Tipo de proyecto: Trabajo conducente a obtención de DEA
Entidad de realización: Universitat Politècnica de València



Alumno/a: MATEO JIMENEZ, FERNANDO

Calificación obtenida: 10.0

Fecha de defensa: 27/07/2007

- 63 Título del trabajo:** IMPLEMENTACIÓN DE UN CORE 12C ESTÁNDAR Y DISEÑO DE UN BANCO DE PRUEBAS PARA EL TESTEO EN DIFERENTES CORES.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: LAMPARERO ARROYO, JOSE VICENTE
Fecha de defensa: 26/07/2007
- 64 Título del trabajo:** DESARROLLO DE UN ENTORNO INTEGRAL DE CODISEÑO Y COANÁLISIS HARDWARE/SOFTWARE PARA ESTRUCTURAS CELULARES MASIVAMENTE PARALELAS.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: FERRANDO JODAR, NESTOR
Fecha de defensa: 29/06/2007
- 65 Título del trabajo:** Diseño y verificación de un controlador de BUS I2C para su integración en un ASIC para captura de imágenes biomédicas.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: VALENTIN GARCIA, LUCAS
Fecha de defensa: 01/03/2007
- 66 Título del trabajo:** Diseño e implementación de un predictor no-lineal mediante redes neuronales
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: BLASCO HERREIZ, JULIAN
Fecha de defensa: 28/10/2005
- 67 Título del trabajo:** IMPLEMENTACION HARDWARE DE SISTEMAS CONEXIONISTAS BIOINSPIRADOS:AUTOMATAS CELULARES Y REDES NEURONALES.
Tipo de proyecto: Trabajo conducente a obtención de DEA
Entidad de realización: Universitat Politècnica de València
Alumno/a: JAQUENOD, GUILLERMO ADOLFO
Calificación obtenida: 10.0
Fecha de defensa: 18/10/2005
- 68 Título del trabajo:** ESTUDIO E IMPLEMENTACION DE UNA RED DE CATV EN VILLAR DEL ARZOBISPO.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: LOPEZ GIL, ESTEBAN
Fecha de defensa: 30/09/2004
- 69 Título del trabajo:** Arquitecturas VLSI de Automáticas Celulares para Modelado Físico.
Tipo de proyecto: Tesis Doctoral
Entidad de realización: Universitat Politècnica de València
Alumno/a: Cerdá Boluda, Joaquín
Calificación obtenida: SOBRESALIENTE CUM LAUDE
Fecha de defensa: 18/06/2004



Mención de calidad: No

- 70** **Título del trabajo:** Diseño de RTL y test del nivel de enlace de datos del protocolo de comunicaciones definido en el estándar IEEE1394
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: MONZO FERRER, JOSE MARIA
Fecha de defensa: 02/04/2004
- 71** **Título del trabajo:** Aproximación a la ecuación de Laplace mediante autómatas celulares
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: TORRES CURADO, RUBEN
Fecha de defensa: 23/12/2003
- 72** **Título del trabajo:** APLICACIONES DE REDES NEURONALES EN LA COMPRESIÓN DE IMÁGENES Y VÍDEO
Tipo de proyecto: Trabajo conducente a obtención de DEA
Entidad de realización: Universitat Politècnica de València
Alumno/a: RAMIREZ AGUNDIS, AGUSTIN
Calificación obtenida: 10.0
Fecha de defensa: 08/04/2003
- 73** **Título del trabajo:** Concepción Verilog del circuito de control de una herramienta de telemetría.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: URUEÑA PARIENTE, MARIA ESTER
Fecha de defensa: 05/06/2002
- 74** **Título del trabajo:** CONTRIBUCIÓN AL SISTEMA DE SINCRONIZACIÓN DEL COMPLEJO DE ACELERADORES DEL CERN
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: ALVAREZ SANCHEZ, PABLO ANTONIO
Fecha de defensa: 01/02/2002
- 75** **Título del trabajo:** SÍNTESIS DE ALTO NIVEL DE UN FILTRO FIR
Tipo de proyecto: Trabajo conducente a obtención de DEA
Entidad de realización: Universitat Politècnica de València
Alumno/a: JIMENEZ MARQUINA, FRANCISCO JAVIER
Calificación obtenida: 10.0
Fecha de defensa: 30/01/2002
- 76** **Título del trabajo:** Estudio e implementación de la transformada Wavelet para la compresión de imágenes y video
Tipo de proyecto: Tesis Doctoral
Entidad de realización: Universitat Politècnica de València
Alumno/a: Colom Palero, Ricardo José
Calificación obtenida: SOBRESALIENTE CUM LAUDE
Fecha de defensa: 15/11/2001
Mención de calidad: No



- 77** **Título del trabajo:** DESARROLLO DE UNA METODOLOGÍA DE SEGURIDAD EN RED E IMPLEMENTACIÓN DE CORTAFUEGOS
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: REDONDO CABALLERO, FERNANDO J.
Fecha de defensa: 28/09/2001
- 78** **Título del trabajo:** COMPRESION DE VIDEO ORIENTADO A APLICACIONES MEDICAS. FASES DE CAPTURA, ALMACENAMIENTO Y VISUALIZACION DEL VIDEO.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: FERNANDEZ RODRIGUEZ, RUBEN
Fecha de defensa: 29/06/2001
- 79** **Título del trabajo:** ESTUDIO DE MODELOS DE MICROPROCESADORES RISC BASADOS EN ARQUITECTURA PIPELINE. APLICACION A UN MODELO COMERCIAL:EL ARM7
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: PEREZ LAFUENTE, LUIS J.
Fecha de defensa: 26/09/2000
- 80** **Título del trabajo:** IMPLEMENTACION DE LA TRANSFORMADA WAVELET 1-D SOBRE FPGA
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: HERRERO BOSCH, VICENTE
Fecha de defensa: 26/07/2000
- 81** **Título del trabajo:** APLICACIÓN DE LA METODOLOGÍA DE REUSO EN EL DISEÑO DE UNA UART CONFIGURABLE.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: LOPEZ MARTINEZ, JOSE VICENTE
Fecha de defensa: 01/03/2000
- 82** **Título del trabajo:** DISEÑO DE UN EXTRACTOR DE TRAMAS STM-1 MEDIANTE VHDL. ESTUDIO COMPARATIVO DE HERRAMIENTAS DE SÍNTESIS PARA IMPLEMENTACIÓN EN FPGA'S.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: TAMARIT VALLES, ESPERANZA
Fecha de defensa: 27/09/1999
- 83** **Título del trabajo:** LIBRERIA DE MOLUDOS PARA TARJETAS INTELIGENTES ANALISIS E IMPLEMENTACIÓN DE UN FLUJO DE DISEÑO.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: GARCIA ORTIZ, ALBERTO
Fecha de defensa: 08/09/1999
- 84** **Título del trabajo:** Implementación del protocolo USB:diseño del bloque de unidad de control. Verificación física y prototipado sobre una estructura en anillo mediante placas basadas en FPGA de la familia 10k de Altera.
Tipo de proyecto: Trabajo Fin de Grado



Entidad de realización: Universitat Politècnica de València
Alumno/a: VICTORIO GARCIA, MATEO
Fecha de defensa: 23/07/1999

- 85 Título del trabajo:** Implementación del protocolo usb. diseño y descripción vhdI^o del bloque de la unidad de datos unión con la unidad de control verificación funcional y lógica del conjunto sobre FPGA.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: CAMPOS HERNANDIZ, ALVARO
Fecha de defensa: 23/07/1999
- 86 Título del trabajo:** REALIZACIÓN DE UNA MAQUETA DE TURBODECODIFICACIÓN DE CÓDIGOS PRODUCTO PARA LA MEDIDA DE TASAS DE ERROR.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: MARTINEZ VAZQUEZ, MARCOS
Fecha de defensa: 11/02/1999
- 87 Título del trabajo:** DESARROLLO DE PAGINAS HIPERTEXTO PARA GRUPO DE TRABAJO DE VHDL DEL D.I.E
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: PEREZ MURILLO, CARLOS
Fecha de defensa: 22/09/1998
- 88 Título del trabajo:** DISEÑO DE UN PERCEPTRON MULTICAPA CON COMUNICACION INCREMENTAL.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: ROMAN GARCIA, MIGUEL ANGEL
Fecha de defensa: 30/06/1998
- 89 Título del trabajo:** LOGICA BORROSA, REDES NEURONALES Y ALGORITMOS GENÉTICOS
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: ESCUDERO HERNANZ, MARIA SOLEDAD
Fecha de defensa: 18/12/1997
- 90 Título del trabajo:** Diseño con HDLs de una UART incorporada en un subsistema digital gobernado por microcontrolador para integración en un ASIC.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: JIMENEZ MARQUINA, FRANCISCO JAVIER
Fecha de defensa: 04/09/1997
- 91 Título del trabajo:** FORMATEO DE VECTORES DE TEST.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: CRUAÑES MARTINEZ, MANUEL
Fecha de defensa: 29/07/1996



92 Título del trabajo: CLASIFICACION DE ELECTROCARDIOGRAMAS MEDIANTE REDES NEURONALES.
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: GARCIA MARTINEZ, DAMIAN
Fecha de defensa: 08/09/1995

93 Título del trabajo: IMPLEMENTACION HARDWARE DE UNA RED NEURONAL
Tipo de proyecto: Trabajo Fin de Grado
Entidad de realización: Universitat Politècnica de València
Alumno/a: PERAL SANCHEZ, ALFONSO
Fecha de defensa: 24/02/1995

Tutorías académicas de estudiantes

- 1 Nombre del programa:** Compresión de imágenes utilizando la transformada wavelet (Alu:MERLIN, XAVIER JEAN-FRANCOIS)
Entidad de realización: Universitat Politècnica de València
Nº de horas/créditos ECTS reconocidos: 24,5
- 2 Nombre del programa:** Estudio, diseño e implementación de filtrado de audio sobre FPGA
Entidad de realización: Universitat Politècnica de València
Nº de horas/créditos ECTS reconocidos: 24,5

Publicaciones docentes o de carácter pedagógico, libros, artículos, etc.

- 1 Miguel Ángel Larrea Torres; Rafael Gadea Gironés; Ricardo José Colom Palero.** Diseño Practico con FPGAs, Universidad Politècnica de Valencia. 2000. ISBN 84-7721-965-6
Tipo de soporte: Libro
- 2 Miguel Ángel Larrea Torres; Rafael Gadea Gironés; Ricardo José Colom Palero; Marcos Antonio Martínez Peiró; Joaquín Cerdá Boluda.** Ejercicios Prácticos con Lógica Programable, Editorial UPV. 2002. ISBN 84-9705-291-9
Tipo de soporte: Libro
- 3 Joaquín Cerdá Boluda; Rafael Gadea Gironés.** Introducció als Sistemes Complexos, als autòmats cel·lulars i a les xarxes neuronals, Editorial UPV. 2009. ISBN 978-84-8363-377-9
Tipo de soporte: Libro
- 4 Fulgencio Montilla Meoro; Rafael Gadea Gironés.** Laboratorio de Circuitos Electrónicos, SERVICIO DE PUBLICACIONES. 2000. ISBN 84-7721-862-5
Tipo de soporte: Libro
- 5 Rafael Gadea Gironés; AURELIO PONS PUIG; FRANCISCO GARCIA DE QUIROS; SUSANA LOPEZ ZARCO; MARIA DOLORES MOLINA GONZALEZ.** Lenguajes de descripción de Hardware: VHDL y VERILOG, Desconocido. 1995. ISBN @884
Tipo de soporte: Libro
- 6 Ricardo José Colom Palero; Rafael Gadea Gironés; Miguel Ángel Larrea Torres; Joaquín Cerdá Boluda; Germán Ramos Peinado; Vicente Herrero Bosch.** Prácticas de Diseño sobre FPGAs con Quartus II., Universidad Politècnica de Valencia. 2008. ISBN 978-84-8363-234-5



Tipo de soporte: Libro

- 7** José Luís Marín Galán; José Vicente Lidón Roger; Rafael Gadea Gironés; Antonio Mocholí Salcedo; Antonio Guill Ibáñez. Prácticas de electrónica digital, Desconocido. 1994. ISBN @1106

Tipo de soporte: Libro

- 8** Rafael Gadea Gironés. Prácticas de sistemas integrados, Desconocido. 1995. ISBN @1190

Tipo de soporte: Libro

- 9** Rafael Gadea Gironés. Sistemas integrados I, Desconocido. 1994. ISBN @1450

Tipo de soporte: Libro

- 10** Joaquín Cerdá Boluda; Marcos Antonio Martínez Peiró; Miguel Ángel Larrea Torres; Rafael Gadea Gironés; Ricardo José Colom Palero. An Active Methodology for Teaching Electronic Systems Design, IEEE Transactions on Education. 49, pp. 355 - 359. 2006. ISSN 0018-9359

Tipo de soporte: Artículo/s

- 11** Jorge Deolindo Fe; Rafael Gadea Gironés; José María Monzó Ferrer; Ángel Tébar Ruiz; Ricardo José Colom Palero. Improving FPGA Based Impedance Spectroscopy Measurement Equipment by Means of HLS Described Neural Networks to Apply Edge AI, Electronics. 11, 2022. ISSN 2079-9292. DOI: 10.3390/electronics11132064

Tipo de soporte: Artículo/s

Participación en proyectos de innovación docente

- 1** **Título del proyecto:** Grupo de Innovación Docente (PACE)

- 2** **Título del proyecto:** Grupo de Innovación Docente UPV

- 3** **Título del proyecto:** Grupo de Innovación docente (PACE)

- 4** **Título del proyecto:** Participación en Proyectos de Innovación Docente (PACE)

Participación en congresos con ponencias orientadas a la formación docente

- 1** **Nombre del evento:** 7th International Conference on Innovation, Documentation and Education (INNODOCT 2019)

Ciudad de celebración: Valencia, España,

Fecha de presentación: 08/11/2019

From specialized to core course in Telecommunications degree: experiences from digital electronic design and verification. pp. 229 - 238. Editorial Universitat Politècnica de València, ISSN 978-84-9048-799-0



- 2** **Nombre del evento:** 7th International Conference on Innovation, Documentation and Education (INNODOCT 2019)
Ciudad de celebración: Valencia, España,
Fecha de presentación: 08/11/2019
INNODOCT'19. pp. 229 - 238. Editorial Universitat Politècnica de València,
- 3** **Nombre del evento:** International Technology, Education and Development Conference (INTED 2009)
Ciudad de celebración: Valencia, España,
Fecha de presentación: 09/03/2009
INTED2009 Proceedings. pp. 1 - 9. IATED,
- 4** **Nombre del evento:** International Technology, Education and Development Conference (INTED 2009)
Ciudad de celebración: Valencia, España,
Fecha de presentación: 09/03/2009
Introducing Chaos and Fractal concepts in the electronic engineer curricula. pp. 1 - 9. IATED, ISSN 978-84-612-7578-6
- 5** **Nombre del evento:** VIII Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAE 2008)
Ciudad de celebración: Zaragoza, España,
Fecha de presentación: 04/07/2008
DOCENCIA MULTIDISCIPLINAR CON SISTEMAS DE DESARROLLO PARA SoPC. pp. 42 - 53. Universidad de Zaragoza, ISSN 978-84-7733-628-0
- 6** **Nombre del evento:** VIII Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAE 2008)
Ciudad de celebración: Zaragoza, España,
Fecha de presentación: 04/07/2008
Resúmenes de los trabajos del VIII Congreso TAE. pp. 42 - 53. Universidad de Zaragoza,
- 7** **Nombre del evento:** International Technology, Education and Development Conference (INTED 2008)
Ciudad de celebración: Valencia, España,
Fecha de presentación: 03/03/2008
A First Experience Using Sopc Boards For An Msc Thesis. Web Server With Compactflash.. pp. 1 - 9. International Association of Technology, Education and Development (IATED), ISSN 978-84-612-0190-7
- 8** **Nombre del evento:** International Technology, Education and Development Conference (INTED 2008)
Ciudad de celebración: Valencia, España,
Fecha de presentación: 03/03/2008
A postgraduate course on complex systems, cellular automata and neural networks. pp. 1 - 9. International Association of Technology, Education and Development (IATED), ISSN 978-84-612-0190-7
- 9** **Nombre del evento:** International Technology, Education and Development Conference (INTED 2008)
Ciudad de celebración: Valencia, España,
Fecha de presentación: 03/03/2008
CSDL And Glider: Educational Tools For Describing Cellular Architectures.. pp. 1 - 9. International Association of Technology, Education and Development (IATED), ISSN 978-84-612-0190-7
- 10** **Nombre del evento:** International Technology, Education and Development Conference (INTED 2008)
Ciudad de celebración: Valencia, España,
Fecha de presentación: 03/03/2008
cd-Artículo. pp. 1 - 9. International Association of Technology, Education and Development (IATED),



- 11 Nombre del evento:** International Technology, Education and Development Conference (INTED 2008)
Ciudad de celebración: Valencia, España,
Fecha de presentación: 03/03/2008
cd-Articulo. pp. 1 - 9. International Association of Technology, Education and Development (IATED),
- 12 Nombre del evento:** International Technology, Education and Development Conference (INTED 2008)
Ciudad de celebración: Valencia, España,
Fecha de presentación: 03/03/2008
cd-Articulo. pp. 1 - 9. International Association of Technology, Education and Development (IATED),
- 13 Nombre del evento:** I Jornadas sobre enseñanza en las escuelas de telecomunicación (JEET 2003)
Ciudad de celebración: Valencia, España,
Fecha de presentación: 16/07/2003
Analizador lógico de bajo coste para el MAX+PLUS II de Altera. pp. 2525 - 2525. Todo CD Personalizacion Profesional, ISSN 84-609-0410-5
- 14 Nombre del evento:** I Jornadas sobre enseñanza en las escuelas de telecomunicación (JEET 2003)
Ciudad de celebración: Valencia, España,
Fecha de presentación: 16/07/2003
I JORNADAS SOBRE ENSEÑANZA EN LAS ESCUELAS DE TELECOMUNICACIÓN JEET03. pp. 2525 - 2525. Todo CD Personalizacion Profesional,
- 15 Nombre del evento:** I Jornadas sobre enseñanza en las escuelas de telecomunicación (JEET 2003)
Ciudad de celebración: Valencia, España,
Fecha de presentación: 16/07/2003
I JORNADAS SOBRE ENSEÑANZA EN LAS ESCUELAS DE TELECOMUNICACIÓN JEET03. pp. 45 - 45. Todo CD Personalizacion Profesional,
- 16 Nombre del evento:** I Jornadas sobre enseñanza en las escuelas de telecomunicación (JEET 2003)
Ciudad de celebración: Valencia, España,
Fecha de presentación: 16/07/2003
Prácticas de Electrónica Digital. La Importancia de la Sincronización Teoría-Práctica. pp. 45 - 45. Todo CD Personalizacion Profesional, ISSN 84-609-0410-5

Premios de innovación docente recibidos

- 1 Nombre del premio:** MH 20868067 - Proy: Implementación mediante OpenCL de Convolutional Neural Networks sobre plataformas FPGA de bajo consumo
Ciudad entidad concesionaria:
Fecha de concesión: 2023
- 2 Nombre del premio:** MH 20868067 - Proy: Implementación mediante OpenCL de Convolutional Neural Networks sobre plataformas FPGA de bajo consumo
Ciudad entidad concesionaria:
Fecha de concesión: 2023
- 3 Nombre del premio:** MH 44725998 - Proy: Desarrollo de un banco de pruebas en UVM para la verificación de la interfaz de comunicación I2C de un circuito integrado para uso en automoción
Ciudad entidad concesionaria:
Fecha de concesión: 2023



- 4** **Nombre del premio:** MH 48412689 - Proy: Diseño y verificación de un sistema digitalizador de alta velocidad para la detección de pérdidas de haz en el CERN.
Ciudad entidad concesionaria:
Fecha de concesión: 2023
- 5** **Nombre del premio:** MH 20862503 - Proy: Simulaciones de potencia de arquitecturas pipeline de aprendizaje automático para ASIC
Ciudad entidad concesionaria:
Fecha de concesión: 2022
- 6** **Nombre del premio:** MH 44921065 - Proy: Diseño de un banco de pruebas para automatizar la verificación de microprocesadores RISC-V descritos en HDL mediante uso de metodología UVM.
Ciudad entidad concesionaria:
Fecha de concesión: 2022
- 7** **Nombre del premio:** MH 46089776 - Proy: Verificación de un SAR ADC con UVM en un entorno DMS
Ciudad entidad concesionaria:
Fecha de concesión: 2022
- 8** **Nombre del premio:** MH 46089776 - Proy: Verificación de un SAR ADC con UVM en un entorno DMS
Ciudad entidad concesionaria:
Fecha de concesión: 2022
- 9** **Nombre del premio:** MH 18451629 - Proy: Implementación e integración sobre Keras tensorflow de capas neuronales desarrolladas con OpenCL-Verilog implementadas sobre FPGA
Ciudad entidad concesionaria:
Fecha de concesión: 2020
- 10** **Nombre del premio:** MH 20477234 - Proy: Desarrollo de una lámpara LED UV con comunicación RS485, para el curado de tinta en una impresora industrial
Ciudad entidad concesionaria:
Fecha de concesión: 2020
- 11** **Nombre del premio:** MH 5720248 - Proy: Diseño e implementación de un jammer configurable en FPGA
Ciudad entidad concesionaria:
Fecha de concesión: 2020
- 12** **Nombre del premio:** MH 5720248 - Proy: Diseño e implementación de un jammer configurable en FPGA
Ciudad entidad concesionaria:
Fecha de concesión: 2020
- 13** **Nombre del premio:** MH 74523085 - Proy: Aplicación de técnicas avanzadas de verificación digital a la validación de una memoria de una sola programación.
Ciudad entidad concesionaria:
Fecha de concesión: 2020
- 14** **Nombre del premio:** MH 23848233 - Proy: Verificación basada en UVM de un subsistema de memoria OTP con corrección de errores
Ciudad entidad concesionaria:
Fecha de concesión: 2019



- 15 Nombre del premio:** MH 23848233 - Proy: Verificación basada en UVM de un subsistema de memoria OTP con corrección de errores
Ciudad entidad concesionaria:
Fecha de concesión: 2019
- 16 Nombre del premio:** MH 34271446 - Proy: DISEÑO DE UN EGSE PARA EL PROYECTO SATELITAL SMOS2
Ciudad entidad concesionaria:
Fecha de concesión: 2019
- 17 Nombre del premio:** MH 5718221 - Proy: Compresor basado en Transformada Wavelet para el Sistema de Adquisición de Datos de PETALO
Ciudad entidad concesionaria:
Fecha de concesión: 2019
- 18 Nombre del premio:** MH 28822544 - Proy: Desarrollo de un sistema de medida de señales físicas para sistemas G.hn basado en el protocolo LCMP
Ciudad entidad concesionaria:
Fecha de concesión: 2018
- 19 Nombre del premio:** MH 29218185 - Proy: Desarrollo de una red neuronal multicapa en java
Ciudad entidad concesionaria:
Fecha de concesión: 2018
- 20 Nombre del premio:** MH 73660156 - Proy: Implementación de aceleradores OpenCL sobre FPGA de funciones básicas necesarias en algoritmos utilizados en "deep learning"
Ciudad entidad concesionaria:
Fecha de concesión: 2018
- 21 Nombre del premio:** MH P33888420 - Proy: Implementación del algoritmo Differential Evolution en OpenCL
Ciudad entidad concesionaria:
Fecha de concesión: 2016
- 22 Nombre del premio:** MH PL5H7XT9KZ - Proy: Desarrollo de un compilador fuente-fuente (C a OpenCL) para FPGA. Aplicación sobre el SDK de Altera.
Ciudad entidad concesionaria:
Fecha de concesión: 2016
- 23 Nombre del premio:** MH 18454615 - Proy: STUDY AND IMPROVEMENT OF AUTO FOCUS RESPONSE WITH ARC CONTROL TUNING
Ciudad entidad concesionaria:
Fecha de concesión: 2015
- 24 Nombre del premio:** Premio Tesis - Proy: Development of a data acquisition architecture with distributed synchronization for a Positron Emission Tomography system with integrated front-end.
Ciudad entidad concesionaria:
Fecha de concesión: 2015
- 25 Nombre del premio:** MH 20849525 - Proy: DISEÑO E IMPLEMENTACIÓN DE CONTROLADOR DE PANTALLAS MEDIANTE PIC24 CON FREERTOS
Ciudad entidad concesionaria:



Fecha de concesión: 2014

- 26 Nombre del premio:** MH 29182710 - Proy: IMPLEMENTACIÓN DE UN PROCESADOR DIGITAL DE AUDIO BASADO EN FPGA.
Ciudad entidad concesionaria:
Fecha de concesión: 2013
- 27 Nombre del premio:** MH 48409780 - Proy: DISEÑO DE UN SISTEMA DE REALIDAD AUMENTADA SOBRE UN DISPOSITIVO FPGA
Ciudad entidad concesionaria:
Fecha de concesión: 2013
- 28 Nombre del premio:** MH 47078933 - Proy: Estudio de la estabilidad de la red eléctrica, posibles aplicaciones para la mejora y evaluación del IC VIPPLUS3
Ciudad entidad concesionaria:
Fecha de concesión: 2012
- 29 Nombre del premio:** MH 48526163 - Proy: Desarrollo e Implementación de un Plataforma de Telecomunicación con FPGAS a través de Ethernet y Canal Configurado por PxB
Ciudad entidad concesionaria:
Fecha de concesión: 2012
- 30 Nombre del premio:** MH P27499724N - Proy: DISEÑO Y CARACTERIZACIÓN DE UN TDC MULTICANAL PARA APLICACIONES PET
Ciudad entidad concesionaria:
Fecha de concesión: 2012
- 31 Nombre del premio:** MH P112160367 - Proy: IMPLEMENTACIÓN DE UN CONVERTIDOR DE TIEMPO A DIGITAL UTILIZANDO UNA FPGA CYCLONE IV
Ciudad entidad concesionaria:
Fecha de concesión: 2011
- 32 Nombre del premio:** MH 48329565 - Proy: Aceleración de sistemas bioinspirados mediante la implementación de hardware y software específico
Ciudad entidad concesionaria:
Fecha de concesión: 2010
- 33 Nombre del premio:** MH 22588793 - Proy: Evaluación de la metodología proporcionada por la librería de verificación OVM
Ciudad entidad concesionaria:
Fecha de concesión: 2009
- 34 Nombre del premio:** segundo premio Concurso de Poliformat 2008
Ciudad entidad concesionaria:
Fecha de concesión: 2008
- 35 Nombre del premio:** MH 48442413 - Proy: IMPLEMENTACIÓN DE UN SISTEMA DE POSICIONAMIENTO EN PET MEDIANTE LA APLICACION DE REDES NEURONALES DE APRENDIZAJE SUPERVISADO
Ciudad entidad concesionaria:
Fecha de concesión: 2007



- 36** **Nombre del premio:** MH 53362209 - Proy: Diseño y verificación de un controlador de BUS I2C para su integración en un ASIC para captura de imágenes biomédicas.
Ciudad entidad concesionaria:
Fecha de concesión: 2007
- 37** **Nombre del premio:** MH 33468902 - Proy: Diseño e implementación de un predictor no-lineal mediante redes neuronales
Ciudad entidad concesionaria:
Fecha de concesión: 2005
- 38** **Nombre del premio:** MH P10915628N - Proy: IMPLEMENTACION HARDWARE DE SISTEMAS CONEXIONISTAS BIOINSPIRADOS:AUTOMATAS CELULARES Y REDES NEURONALES.
Ciudad entidad concesionaria:
Fecha de concesión: 2005
- 39** **Nombre del premio:** MH 29189662 - Proy: Diseño de RTL y test del nivel de enlace de datos del protocolo de comunicaciones definido en el estándar IEEE1394
Ciudad entidad concesionaria:
Fecha de concesión: 2004
- 40** **Nombre del premio:** MH 1110103223 - Proy: APLICACIONES DE REDES NEURONALES EN LA COMPRESIÓN DE IMÁGENES Y VÍDEO
Ciudad entidad concesionaria:
Fecha de concesión: 2003
- 41** **Nombre del premio:** MH 48380663 - Proy: Aproximación a la ecuación de Laplace mediante autómatas celulares
Ciudad entidad concesionaria:
Fecha de concesión: 2003
- 42** **Nombre del premio:** MH 25418395 - Proy: SÍNTESIS DE ALTO NIVEL DE UN FILTRO FIR
Ciudad entidad concesionaria:
Fecha de concesión: 2002
- 43** **Nombre del premio:** MH 34816168 - Proy: CONTRIBUCIÓN AL SISTEMA DE SINCRONIZACIÓN DEL COMPLEJO DE ACCELERADORES DEL CERN
Ciudad entidad concesionaria:
Fecha de concesión: 2002
- 44** **Nombre del premio:** MH 26489163 - Proy: DESARROLLO DE UNA METODOLOGÍA DE SEGURIDAD EN RED E IMPLMENTACIÓN DE CORTAFUEGOS
Ciudad entidad concesionaria:
Fecha de concesión: 2001
- 45** **Nombre del premio:** MH 79108709 - Proy: COMPRESION DE VIDEO ORIENTADO A APLICACIONES MEDICAS. FASES DE CAPTURA, ALMACENAMIENTO Y VISUALIZACION DEL VIDEO.
Ciudad entidad concesionaria:
Fecha de concesión: 2001
- 46** **Nombre del premio:** MH 22568284 - Proy: IMPLEMENTACION DE LA TRANSFORMADA WAVELET 1-D SOBRE FPGA
Ciudad entidad concesionaria:
Fecha de concesión: 2000



- 47** **Nombre del premio:** MH 33455162 - Proy: ESTUDIO DE MODELOS DE MICROPROCESADORES RISC BASADOS EN ARQUITECTURA PIPELINE. APLICACION A UN MODELO COMERCIAL:EL ARM7
Ciudad entidad concesionaria:
Fecha de concesión: 2000
- 48** **Nombre del premio:** MH 52675074 - Proy: APLICACIÓN DE LA METODOLOGÍA DE REUSO EN EL DISEÑO DE UNA UART CONFIGURABLE.
Ciudad entidad concesionaria:
Fecha de concesión: 2000
- 49** **Nombre del premio:** MH 29174511 - Proy: DISEÑO DE UN EXTRACTOR DE TRAMAS STM-1 MEDIANTE VHDL. ESTUDIO COMPARATIVO DE HERRAMIENTAS DE SÍNTESIS PARA IMPLEMENTACIÓN EN FPGA'S.
Ciudad entidad concesionaria:
Fecha de concesión: 1999
- 50** **Nombre del premio:** MH 44504511 - Proy: REALIZACIÓN DE UNA MAQUETA DE TURBODECODIFICACIÓN DE CÓDIGOS PRODUCTO PARA LA MEDIDA DE TASAS DE ERROR.
Ciudad entidad concesionaria:
Fecha de concesión: 1999
- 51** **Nombre del premio:** MH 52383437 - Proy: LIBRERIA DE MOLUDOS PARA TARJETAS INTELIGENTES ANALISIS E IMPLEMENTACIÓN DE UN FLUJO DE DISEÑO.
Ciudad entidad concesionaria:
Fecha de concesión: 1999
- 52** **Nombre del premio:** MH 24361147 - Proy: DESARROLLO DE PAGINAS HIPERTEXTO PARA GRUPO DE TRABAJO DE VHDL DEL D.I.E
Ciudad entidad concesionaria:
Fecha de concesión: 1998
- 53** **Nombre del premio:** MH 52775877 - Proy: DISEÑO DE UN PERCEPTRON MULTICAPA CON COMUNICACION INCREMENTAL.
Ciudad entidad concesionaria:
Fecha de concesión: 1998
- 54** **Nombre del premio:** MH 25418395 - Proy: Diseño con HDLs de una UART incorporada en un subsistema digital gobernado por microcontrolador para integración en un ASIC.
Ciudad entidad concesionaria:
Fecha de concesión: 1997
- 55** **Nombre del premio:** MH 9006772 - Proy: LOGICA BORROSA, REDES NEURONALES Y ALGORITMOS GENÉTICOS
Ciudad entidad concesionaria:
Fecha de concesión: 1997
- 56** **Nombre del premio:** MH 20803304 - Proy: CLASIFICACION DE ELECTROCARDIOGRAMAS MEDIANTE REDES NEURONALES.
Ciudad entidad concesionaria:
Fecha de concesión: 1995



- 57** **Nombre del premio:** MH 21654861 - Proy: IMPLEMENTACION HARDWARE DE UNA RED NEURONAL
Ciudad entidad concesionaria:
Fecha de concesión: 1995

Otras actividades/méritos no incluidos en la relación anterior

- 1** **Descripción de la actividad:** Diseño de Funciones con HDL: Tablas VHDL
Fecha de finalización: 01/10/2022
- 2** **Descripción de la actividad:** Diseño de funciones con HDL: Tratamiento de punto flotante
Fecha de finalización: 01/10/2022
- 3** **Descripción de la actividad:** Diseño de funciones con HDL: verificación
Fecha de finalización: 01/10/2022
- 4** **Descripción de la actividad:** HLS: Diseño, Emulación y Coverificación
Fecha de finalización: 01/10/2022
- 5** **Descripción de la actividad:** HLS: Manejo software del componente
Fecha de finalización: 01/10/2022
- 6** **Descripción de la actividad:** HLS: Utilización software del componente generado
Fecha de finalización: 01/10/2022
- 7** **Descripción de la actividad:** ASM con un solo fichero
Fecha de finalización: 01/10/2021
- 8** **Descripción de la actividad:** HLS diseño y verificación básico
Fecha de finalización: 01/10/2021
- 9** **Descripción de la actividad:** HLS: Estructura de código de diseño y verificación
Fecha de finalización: 01/10/2021
- 10** **Descripción de la actividad:** HLS: Incorporación componente a un proyecto hardware software
Fecha de finalización: 01/10/2021
- 11** **Descripción de la actividad:** MODELIZACIÓN RTL: VERIFICACION PRE-POST SÍNTESIS
Fecha de finalización: 01/10/2021
- 12** **Descripción de la actividad:** Manejo de proyectos de codiseño
Fecha de finalización: 01/10/2021



- 13 Descripción de la actividad:** Modificación Latencia ASM
Fecha de finalización: 01/10/2021
- 14 Descripción de la actividad:** Segmentación ASM
Fecha de finalización: 01/10/2021
- 15 Descripción de la actividad:** Síntesis RTL de circuitos combinacionales
Fecha de finalización: 01/10/2021
- 16 Descripción de la actividad:** Análisis temporal estático avanzado
Fecha de finalización: 01/10/2020
- 17 Descripción de la actividad:** FSM Moore registrado estilo 3 procesos
Fecha de finalización: 01/10/2020
- 18 Descripción de la actividad:** FSM estilo de un proceso
Fecha de finalización: 01/10/2020
- 19 Descripción de la actividad:** UVM: Cobertura funcional
Fecha de finalización: 01/10/2020
- 20 Descripción de la actividad:** UVM: Creación del Test
Fecha de finalización: 01/10/2020
- 21 Descripción de la actividad:** UVM: Observación de resultados
Fecha de finalización: 01/10/2020
- 22 Descripción de la actividad:** UVM: Secuencia de estímulos
Fecha de finalización: 01/10/2020
- 23 Descripción de la actividad:** VSCode plus git
Fecha de finalización: 01/10/2020
- 24 Descripción de la actividad:** Verificación de diseños remotamente
Fecha de finalización: 01/10/2020
- 25 Descripción de la actividad:** verificación física de un microprocesador
Fecha de finalización: 01/10/2020
- 26 Descripción de la actividad:** verificación memoria rom aleatoria
Fecha de finalización: 01/10/2020



- 27 Descripción de la actividad:** Análisis temporal estático básico de un radicador
Fecha de finalización: 01/10/2019
- 28 Descripción de la actividad:** Análisis temporal estático con path que terminan en el exterior
Fecha de finalización: 01/10/2019
- 29 Descripción de la actividad:** Análisis temporal estático con paths procedentes del exterior
Fecha de finalización: 01/10/2019
- 30 Descripción de la actividad:** Análisis temporal estático manual
Fecha de finalización: 01/10/2019
- 31 Descripción de la actividad:** Análisis temporal estático: análisis de márgenes de retención
Fecha de finalización: 01/10/2019
- 32 Descripción de la actividad:** NIOS2: Creación de una nueva instrucción de latencia variable
Fecha de finalización: 01/10/2019
- 33 Descripción de la actividad:** Simulación HDL de NIOS2
Fecha de finalización: 01/10/2019
- 34 Descripción de la actividad:** UVM: radicador 1
Fecha de finalización: 01/10/2019
- 35 Descripción de la actividad:** UVM: radicador 2
Fecha de finalización: 01/10/2019
- 36 Descripción de la actividad:** Análisis temporal estático de un sistema con NIOS2
Fecha de finalización: 01/10/2018
- 37 Descripción de la actividad:** Cobertura funcional básica
Fecha de finalización: 01/10/2018
- 38 Descripción de la actividad:** Lección 4-2: Verificando Sistemas Digitales
Fecha de finalización: 01/10/2018
- 39 Descripción de la actividad:** Obtención Frecuencia máxima de un diseño
Fecha de finalización: 01/10/2018
- 40 Descripción de la actividad:** Obtención y visualización path máximo
Fecha de finalización: 01/10/2018



- 41 Descripción de la actividad:** Random Constraint stimulus generator
Fecha de finalización: 01/10/2018
- 42 Descripción de la actividad:** Simulación de una FIFO IP
Fecha de finalización: 01/10/2018
- 43 Descripción de la actividad:** Simulación modelos HDL
Fecha de finalización: 01/10/2018
- 44 Descripción de la actividad:** Uso de colas de systemverilog
Fecha de finalización: 01/10/2018
- 45 Descripción de la actividad:** Cosimulacion Simulink-Modelsim
Fecha de finalización: 01/10/2017
- 46 Descripción de la actividad:** Cosimulación Hardware- Software
Fecha de finalización: 01/10/2017
- 47 Descripción de la actividad:** Diseño HDL Matlab-Simulink
Fecha de finalización: 01/10/2017
- 48 Descripción de la actividad:** Simulación HDL Matlab-Simulink
Fecha de finalización: 01/10/2017
- 49 Descripción de la actividad:** Análisis de consumo en proyectos de codiseño
Fecha de finalización: 01/10/2016
- 50 Descripción de la actividad:** Estimación de consumo básico en proyectos de codiseño
Fecha de finalización: 01/10/2016
- 51 Descripción de la actividad:** Estudio de concurrencia en Verilog
Fecha de finalización: 01/10/2016
- 52 Descripción de la actividad:** Simulación de circuitos digitales
Fecha de finalización: 01/10/2016
- 53 Descripción de la actividad:** Simulación Verilog, observación de resultados
Fecha de finalización: 01/10/2016
- 54 Descripción de la actividad:** Simulación Verilog, observación de resultados con retardos
Fecha de finalización: 01/10/2016



- 55 Descripción de la actividad:** Simulación completa de una máquina de estados
Fecha de finalización: 01/10/2016
- 56 Descripción de la actividad:** Simulación de tipos de datos Arrays de systemVerilog
Fecha de finalización: 01/10/2016
- 57 Descripción de la actividad:** Verificación SystemVerilog: Cobertura funcional
Fecha de finalización: 01/10/2016
- 58 Descripción de la actividad:** OPTIMIZANDO FSM VERILOG
Fecha de finalización: 01/10/2015
- 59 Descripción de la actividad:** SIMULACION FSM: Generación del reset
Fecha de finalización: 01/10/2015
- 60 Descripción de la actividad:** SIMULACIÓN FSM: GENERACIÓN DE ESTÍMULO BÁSICO
Fecha de finalización: 01/10/2015
- 61 Descripción de la actividad:** SIMULACIÓN FSM: GENERACIÓN DE ESTÍMULO AVANZADO
Fecha de finalización: 01/10/2015
- 62 Descripción de la actividad:** SIMULACIÓN FSM: SIMULACIÓN RTL BÁSICA
Fecha de finalización: 01/10/2015
- 63 Descripción de la actividad:** Simulación FSM: Simulación visual FSM
Fecha de finalización: 01/10/2015
- 64 Descripción de la actividad:** Simulación RTL: arranque básico
Fecha de finalización: 01/10/2015
- 65 Descripción de la actividad:** codiseño: Uso de Tightly Coupled Memory Interface
Fecha de finalización: 01/10/2015
- 66 Descripción de la actividad:** codiseño: uso de memorias embebidas
Fecha de finalización: 01/10/2015
- 67 Descripción de la actividad:** Diseñando FSM Verilog
Fecha de finalización: 31/12/2014
- 68 Descripción de la actividad:** Estructura de una logic cell
Fecha de finalización: 01/10/2014



- 69 Descripción de la actividad:** FSM Mealy con Verilog, estilo de dos procesos
Fecha de finalización: 01/10/2014
- 70 Descripción de la actividad:** FSM Mealy con Verilog, estilo de dos procesos
Fecha de finalización: 01/10/2014
- 71 Descripción de la actividad:** FSM Mealy con Verilog, estilo de dos procesos
Fecha de finalización: 01/10/2014
- 72 Descripción de la actividad:** FSM Mealy con Verilog, estilo de tres procesos básico
Fecha de finalización: 01/10/2014
- 73 Descripción de la actividad:** FSM Medvedev con Verilog
Fecha de finalización: 01/10/2014
- 74 Descripción de la actividad:** FSM Moore con Verilog, estilo de dos procesos
Fecha de finalización: 01/10/2014
- 75 Descripción de la actividad:** FSM Moore con Verilog, estilo de tres procesos básico
Fecha de finalización: 01/10/2014
- 76 Descripción de la actividad:** Simulación Básica de un IP
Fecha de finalización: 01/10/2014
- 77 Descripción de la actividad:** Uso de colas con System Verilog
Fecha de finalización: 01/10/2014
- 78 Descripción de la actividad:** GUÍA DE REALIZACIÓN DE LAS PRÁCTICAS UTILIZANDO LA PLACA DE2 DE ALTERA - Editorial Universitat Politècnica de València
Fecha de finalización: 28/05/2014
- 79 Descripción de la actividad:** Análisis Temporal Estático. estudio Márgenes de activación con puertos de entrada
Fecha de finalización: 01/10/2012
- 80 Descripción de la actividad:** Análisis Temporal Estático. estudio Márgenes de activación con puertos de salida
Fecha de finalización: 01/10/2012
- 81 Descripción de la actividad:** Análisis Temporal Estático. estudio Márgenes de retención
Fecha de finalización: 01/10/2012
- 82 Descripción de la actividad:** Maquina Mealy: Estilo de 2 procesos
Fecha de finalización: 31/12/2010



- 83 Descripción de la actividad:** Maquina Mealy: Estilo de 3 procesos
Fecha de finalización: 31/12/2010
- 84 Descripción de la actividad:** Maquina Medvedev: Estilo de 2 procesos
Fecha de finalización: 31/12/2010
- 85 Descripción de la actividad:** Maquina Medvedev: Estilo de 3 procesos
Fecha de finalización: 31/12/2010
- 86 Descripción de la actividad:** Maquina Moore: Estilo de 1 proceso
Fecha de finalización: 31/12/2010
- 87 Descripción de la actividad:** Maquina Moore: Estilo de 2 procesos
Fecha de finalización: 31/12/2010
- 88 Descripción de la actividad:** Maquina Moore: Estilo de 3 procesos
Fecha de finalización: 31/12/2010
- 89 Descripción de la actividad:** SIMULACIÓN EN QUARTUS II UTILIZANDO MODELSIM. IDEA DE LA METODOLOGÍA DE DISEÑO (POLIMEDIA ETSIT)
Fecha de finalización: 14/04/2008
- 90 Descripción de la actividad:** FUNCIÓN SIGMOIDE (LABORATORIOS VIRTUALES ETSIT)
Fecha de finalización: 09/01/2008
- 91 Descripción de la actividad:** Analisis temporal estático básico de un radicador
- 92 Descripción de la actividad:** Análisis Temporal Estático. estudio Márgenes de activación con puertos de entrada
- 93 Descripción de la actividad:** Análisis Temporal Estático. estudio Márgenes de activación con puertos de salida
- 94 Descripción de la actividad:** Análisis Temporal Estático. estudio Márgenes de retención
- 95 Descripción de la actividad:** Análisis de consumo en proyectos de codiseño
- 96 Descripción de la actividad:** Análisis temporal estático con path que terminan en el exterior



- 97 Descripción de la actividad:** Análisis temporal estático con paths procedentes del exterior

- 98 Descripción de la actividad:** Análisis temporal estático de un sistema con NIOS2

- 99 Descripción de la actividad:** Análisis temporal estático manual

- 100 Descripción de la actividad:** Análisis temporal estático: análisis de márgenes de retención

- 101 Descripción de la actividad:** Cobertura funcional básica

- 102 Descripción de la actividad:** Cosimulación Simulink-Modelsim

- 103 Descripción de la actividad:** Cosimulación Hardware- Software

- 104 Descripción de la actividad:** Diseño HDL Matlab-Simulink

- 105 Descripción de la actividad:** Estimación de consumo básico en proyectos de codiseño

- 106 Descripción de la actividad:** Estructura de una logic cell

- 107 Descripción de la actividad:** Estudio de concurrencia en Verilog

- 108 Descripción de la actividad:** FSM Mealy con Verilog, estilo de dos procesos

- 109 Descripción de la actividad:** FSM Mealy con Verilog, estilo de dos procesos

- 110 Descripción de la actividad:** FSM Mealy con Verilog, estilo de dos procesos



- 111 Descripción de la actividad:** FSM Mealy con Verilog, estilo de tres procesos básico

- 112 Descripción de la actividad:** FSM Medvedev con Verilog

- 113 Descripción de la actividad:** FSM Moore con Verilog, estilo de dos procesos

- 114 Descripción de la actividad:** FSM Moore con Verilog, estilo de tres procesos básico

- 115 Descripción de la actividad:** Lección 4-2: Verificando Sistemas Digitales

- 116 Descripción de la actividad:** NIOS2: Creación de una nueva instrucción de latencia variable

- 117 Descripción de la actividad:** OPTIMIZANDO FSM VERILOG

- 118 Descripción de la actividad:** Obtención Frecuencia máxima de un diseño

- 119 Descripción de la actividad:** Obtención y visualización path máximo

- 120 Descripción de la actividad:** Random Constraint stimulus generator

- 121 Descripción de la actividad:** SIMULACION FSM: Generación del reset

- 122 Descripción de la actividad:** SIMULACIÓN FSM: GENERACIÓN DE ESTÍMULO BÁSICO

- 123 Descripción de la actividad:** SIMULACIÓN FSM: GENERACIÓNM DE ESTÍMULO AVANZADO

- 124 Descripción de la actividad:** SIMULACIÓN FSM: SIMULACIÓN RTL BÁSICA



- 125 Descripción de la actividad:** Simulación de circuitos digitales

- 126 Descripción de la actividad:** Simulación Básica de un IP

- 127 Descripción de la actividad:** Simulación FSM: Simulación visual FSM

- 128 Descripción de la actividad:** Simulación HDL Matlab-Simulink

- 129 Descripción de la actividad:** Simulación HDL de NIOS2

- 130 Descripción de la actividad:** Simulación RTL: arranque básico

- 131 Descripción de la actividad:** Simulación Verilog, observación de resultados

- 132 Descripción de la actividad:** Simulación Verilog, observación de resultados con retardos

- 133 Descripción de la actividad:** Simulación completa de una máquina de estados

- 134 Descripción de la actividad:** Simulación de tipos de datos Arrays de systemVerilog

- 135 Descripción de la actividad:** Simulación de una FIFO IP

- 136 Descripción de la actividad:** Simulación modelos HDL

- 137 Descripción de la actividad:** UVM: radicador 1

- 138 Descripción de la actividad:** UVM: radicador 2



- 139 Descripción de la actividad:** Uso de colas con System Verilog
- 140 Descripción de la actividad:** Uso de colas de systemverilog
- 141 Descripción de la actividad:** Verificación SystemVerilog: Cobertura funcional
- 142 Descripción de la actividad:** codiseño: Uso de Tightly Coupled Memory Interface
- 143 Descripción de la actividad:** codiseño: uso de memorias embebidas

Experiencia científica y tecnológica

Grupos/equipos de investigación, desarrollo o innovación

Nombre del grupo: Instituto de Instrumentación para Imagen Molecular

Actividad científica o tecnológica

Proyectos de I+D+i financiados en convocatorias competitivas de Administraciones o entidades públicas y privadas

- Nombre del proyecto:** DESARROLLOS INSTRUMENTALES PARA LOS DETECTORES COMPLEMENTARIOS DE AGATA; ACTIVIDAD EXPERIMENTAL PARA ESTUDIOS DE ESTRUCTURA NUCLEAR CON AGATA Y SUS DETECTORES COMPLEMENTARIOS.

Entidad de realización: Conselleria de Cultura Educació i Esport **Tipo de entidad:** Organismo Público de Investigación

Ciudad entidad realización: Valencia, Comunidad Valenciana, España

Nombres investigadores principales (IP, Co-IP,...): Andrés Gadea Raga

Nº de investigadores/as: 6

Fecha de inicio-fin: 01/01/2015 - 31/12/2017

Cuantía total: 65.000 €
- Nombre del proyecto:** DESARROLLO DE TECNICAS Y TECNOLOGIAS DE MEDIDA NO INVASIVAS: IN VIVO, PARA EL DIAGNOSTICO DE ERGE, E IN VITRO, PARA EL ANALISIS DE LIBERACION DE COMPUESTOS ATENUANTES DE ERGE. (PID2020-116816RB-I00)

Entidad de realización: Universitat Politècnica de València

Nombres investigadores principales (IP, Co-IP,...): Marta Castro Giraldez; Ricardo José Colom Palero

Nº de investigadores/as: 8

**Entidad/es financiadora/s:**

AGENCIA ESTATAL DE INVESTIGACION

Tipo de entidad: Organismo, Otros**Fecha de inicio:** 01/09/2021**Duración:** 2 años - 11 meses - 30 días**Cuantía total:** 57.112 €

- 3** **Nombre del proyecto:** DESARROLLO ESTRATEGIAS BASADAS MEJORAS PROCESO PARA REDUCIR INCIDENCIA MIOPATIAS Y UN PROTOTIPO PARA DISCRIMINACIÓN CANALES POR DETECCIÓN DE MIOPATIAS DEL PECTORAL PROFUNDO (DPM) A NIVELES DE ANGINA (MUSCULO ROJO) O INFARTO (MUSCULO VERDE) (INNEST/2020/24)

Entidad de realización: Universitat Politècnica de València**Nombres investigadores principales (IP, Co-IP,...):** Pedro José Fito Suñer**Nº de investigadores/as:** 6**Entidad/es financiadora/s:**

AGENCIA VALENCIANA DE LA INNOVACION

Tipo de entidad: Organismo, Otros**Fecha de inicio:** 01/04/2020**Duración:** 1 año - 9 meses**Cuantía total:** 210.987,75 €

- 4** **Nombre del proyecto:** PLATAFORMA DE COMPUTACION INTENSIVA MEDIANTE ACELERADORES GRAFICOS (GPUS) PARA SU APLICACION EN MEDICINA PERSONALIZADA (IDIFEDER/2018/032)

Entidad de realización: Universitat Politècnica de València**Nombres investigadores principales (IP, Co-IP,...):** Ignacio Blanquer Espert**Nº de investigadores/as:** 22**Entidad/es financiadora/s:**

GENERALITAT VALENCIANA

Tipo de entidad: Organismo, Otros**Fecha de inicio:** 01/01/2018**Duración:** 2 años**Cuantía total:** 318.111,4 €

- 5** **Nombre del proyecto:** ELECTRONICA Y ADQUISICION DE DATOS PARA PETALO (FPA2016-78595-C3-3-R)

Grado de contribución: Investigador/a**Entidad de realización:** Universitat Politècnica de València**Nombres investigadores principales (IP, Co-IP,...):** Rafael Gadea Gironés; Vicente Herrero Bosch**Nº de investigadores/as:** 3**Entidad/es financiadora/s:**

AGENCIA ESTATAL DE INVESTIGACION

Tipo de entidad: Organismo, Otros**Fecha de inicio:** 30/12/2016**Duración:** 4 años**Cuantía total:** 60.500 €

- 6** **Nombre del proyecto:** Desarrollos instrumentales para los detectores complementarios de AGATA: Actividad experimental para estudios de estructura nuclear con AGATA y sus detectores complementarios (PROMETEOII/2014/019)

Entidad de realización: CONSEJO SUPERIOR DE INVESTIGACIONES CIENTÍFICAS**Nº de investigadores/as:** 6**Entidad/es financiadora/s:**

Conselleria de Cultura Educació i Esport

Tipo de entidad: Organismo, Otros**Fecha de inicio:** 01/01/2014**Duración:** 3 años - 11 meses - 30 días**Cuantía total:** 65.000 €



- 7** **Nombre del proyecto:** DESARROLLO Y VALIDACIÓN DE SOLUCIONES DE REALIDAD AUMENTADA EMBEBIDAS EN DISPOSITIVOS PROGRAMABLES DE TIPO FPGA (2716)
Entidad de realización: Universitat Politècnica de València
Nombres investigadores principales (IP, Co-IP,...): María Carmen Juan Lizandra
Nº de investigadores/as: 5
Entidad/es financiadora/s:
UNIVERSIDAD POLITECNICA DE VALENCIA **Tipo de entidad:** Organismo, Otros
Fecha de inicio: 01/12/2011 **Duración:** 1 año - 7 meses
Cuantía total: 8.500 €
- 8** **Nombre del proyecto:** DESARROLLO DE LA ELECTRONICA PARA DIAGNOSTICO DE ENFERMEDADES NEURODEGENERATIVAS (FIS2010-21216-C02-02)
Entidad de realización: Universitat Politècnica de València
Nombres investigadores principales (IP, Co-IP,...): Ricardo José Colom Palero
Nº de investigadores/as: 14
Entidad/es financiadora/s:
MINISTERIO DE ECONOMIA Y EMPRESA **Tipo de entidad:** Organismo, Otros
Fecha de inicio: 01/01/2011 **Duración:** 3 años
Cuantía total: 108.900 €
- 9** **Nombre del proyecto:** ESTUDIO E IMPLEMENTACION HARDWARE DE TECNICAS DE PROCESADO, ANALISIS, Y RUTADO, DE AUDIO DIGITAL MULTICANAL CON BAJA LATENCIA (2688)
Entidad de realización: Universitat Politècnica de València
Nombres investigadores principales (IP, Co-IP,...): Germán Ramos Peinado
Nº de investigadores/as: 6
Entidad/es financiadora/s:
UNIVERSIDAD POLITECNICA DE VALENCIA **Tipo de entidad:** Organismo, Otros
Fecha de inicio: 15/12/2010 **Duración:** 1 año
Cuantía total: 7.500 €
- 10** **Nombre del proyecto:** DESARROLLO DE UN PROTOTIPO DE PROCESADOR NEURONAL INTEGRADO CON DETECCION DE DISPARO EN COINCIDENCIA PARA APLICACIONES DE MEDICINA NUCLEAR (PAID-06-10-2212)
Entidad de realización: Universitat Politècnica de València
Nombres investigadores principales (IP, Co-IP,...): Vicente Herrero Bosch
Nº de investigadores/as: 9
Entidad/es financiadora/s:
UNIVERSIDAD POLITECNICA DE VALENCIA **Tipo de entidad:** Organismo, Otros
Fecha de inicio: 01/11/2010 **Duración:** 2 años
Cuantía total: 11.000 €
- 11** **Nombre del proyecto:** CANFRAN UNDERGROUND PHYSICS (CSD2008-00037)
Entidad de realización: Universitat Politècnica de València
Nombres investigadores principales (IP, Co-IP,...): José Luis Pérez Aparicio
Nº de investigadores/as: 19
Entidad/es financiadora/s:
AGENCIA ESTATAL CONSEJO SUPERIOR DE INVESTIG. CIENTIFICAS; MINISTERIO DE EDUCACION **Tipo de entidad:** Organismo, Otros



Fecha de inicio: 15/12/2008
Cuantía total: 523.675 €

Duración: 7 años

- 12 Nombre del proyecto:** AYUDA COFINANCIACION UPV AL PROYECTO: IMPLEMENTACION DE UN ASIC MIXTO ANALOGICO DIGITAL ACONDICIONADOR PARA PMT SENSIBLE A POSICION (PAID-05-08-3430)

Grado de contribución: Investigador/a

Entidad de realización: Universitat Politècnica de València

Nombres investigadores principales (IP, Co-IP,...): Rafael Gadea Gironés

Nº de investigadores/as: 1

Entidad/es financiadora/s:

UNIVERSIDAD POLITECNICA DE VALENCIA

Tipo de entidad: Organismo, Otros

Fecha de inicio: 16/09/2008

Duración: 1 año

Cuantía total: 3.500 €

- 13 Nombre del proyecto:** SISTEMA DE ADQUISICION Y PROCESADO DE DATOS PARA UN SISTEMA DE DIAGNOSTICO PET PARA ENFERMEDADES NEUROLÓGICAS. (FPA2007-65013-C02-02-AR07)

Entidad de realización: Universitat Politècnica de València

Nombres investigadores principales (IP, Co-IP,...): Ángel Sebastián Cortés

Nº de investigadores/as: 16

Entidad/es financiadora/s:

MINISTERIO DE EDUCACION

Tipo de entidad: Organismo, Otros

Fecha de inicio: 01/10/2007

Duración: 3 años - 1 mes

Cuantía total: 111.588,38 €

- 14 Nombre del proyecto:** IMPLEMENTACION DE UN ASIC MIXTO ANALOGICO DIGITAL ACONDICIONADOR PARA PMT SENSIBLE A POSICION (GV/2007/008)

Grado de contribución: Investigador/a

Entidad de realización: Universitat Politècnica de València

Nombres investigadores principales (IP, Co-IP,...): Rafael Gadea Gironés

Nº de investigadores/as: 11

Entidad/es financiadora/s:

GENERALITAT VALENCIANA; GENERALITAT VALENCIANA

Tipo de entidad: Organismo, Otros

Fecha de inicio: 01/01/2007

Duración: 2 años

Cuantía total: 25.990 €

- 15 Nombre del proyecto:** DIAGNOSTICO Y TERAPIA DEL CANCER DE MAMA MEDIANTE IMAGEN MOLECULAR (GVEMP06/015)

Entidad de realización: Universitat Politècnica de València

Nombres investigadores principales (IP, Co-IP,...): Ángel Sebastián Cortés

Nº de investigadores/as: 12

Entidad/es financiadora/s:

GENERALITAT VALENCIANA

Tipo de entidad: Organismo, Otros

Fecha de inicio: 01/01/2006

Duración: 1 año

Cuantía total: 4.000 €

- 16 Nombre del proyecto:** ESTUDIO ANALÍTICO E IMPLEMENTACIÓN FÍSICA DE AUTÓMATAS CELULARES. (PPI-06-05-5702)

Entidad de realización: Universitat Politècnica de València



Nombres investigadores principales (IP, Co-IP,...): Joaquín Cerdá Boluda

Nº de investigadores/as: 5

Entidad/es financiadora/s:

UNIVERSIDAD POLITECNICA DE VALENCIA

Tipo de entidad: Organismo, Otros

Fecha de inicio: 31/12/2005

Duración: 2 años

Cuantía total: 15.000 €

- 17 Nombre del proyecto:** GENERACION DE BLOQUES IP PARA EL ESTANDAR DE CODIFICACION DE VIDEO H.264/AVC. EVALUACION DE ARQUITECTURAS VLSI, POSIBILIDADES DE RECONFIGURACION E INTEGRACION DEL SISTEMA EN CHIP (SOC) (TEC2004-04868-C02-01)

Entidad de realización: Universitat Politècnica de València

Nombres investigadores principales (IP, Co-IP,...): Francisco José Ballester Merelo

Nº de investigadores/as: 7

Entidad/es financiadora/s:

MINISTERIO DE EDUCACION

Tipo de entidad: Organismo, Otros

Fecha de inicio: 13/12/2004

Duración: 1 año

Cuantía total: 9.200 €

- 18 Nombre del proyecto:** DISEÑO Y DESARROLLO DE COMPRESORES DE IMAGEN BASADOS EN LA TRANSFORMADA WAVELET (GV04B/393)

Entidad de realización: Universitat Politècnica de València

Nombres investigadores principales (IP, Co-IP,...): Ricardo José Colom Palero

Nº de investigadores/as: 10

Entidad/es financiadora/s:

GENERALITAT VALENCIANA

Tipo de entidad: Organismo, Otros

Fecha de inicio: 01/01/2004

Duración: 2 años

Cuantía total: 8.046 €

- 19 Nombre del proyecto:** COMPRESION DE VIDEO EN TIEMPO REAL ORIENTADO A APLICACIONES MEDICAS. ESTUDIO DE LOS ALGORITMOS DE CODIFICACION E IMPLEMENTACION VLSI (TIC2003-08154-C06-05)

Entidad de realización: Universitat Politècnica de València

Nombres investigadores principales (IP, Co-IP,...): Francisco José Mora Mas

Nº de investigadores/as: 7

Entidad/es financiadora/s:

MINISTERIO DE CIENCIA Y TECNOLOGIA

Tipo de entidad: Organismo, Otros

Fecha de inicio: 01/12/2003

Duración: 3 años

Cuantía total: 28.520 €

- 20 Nombre del proyecto:** DESARROLLO DE PROTOTIPOS HARDWARE DE CODIFICADORES DE IMAGENES Y VIDEO (PPI05-03-4111)

Entidad de realización: Universitat Politècnica de València

Nombres investigadores principales (IP, Co-IP,...): Ricardo José Colom Palero

Nº de investigadores/as: 8

Entidad/es financiadora/s:

UNIVERSIDAD POLITECNICA DE VALENCIA

Tipo de entidad: Organismo, Otros

Fecha de inicio: 18/07/2003

Duración: 2 años

Cuantía total: 0 €



- 21** **Nombre del proyecto:** COMPRESION DE VIDEO EN TIEMPO REAL ORIENTADO APLICACIONES MEDICAS.ESTUDIO SEGM. ALGORITMO TRASF. WAVELET. IMPLEMENT VLS. (TIC2000-1151-C07-05)
Entidad de realización: Universitat Politècnica de València
Nombres investigadores principales (IP, Co-IP,...): Francisco José Mora Mas
Nº de investigadores/as: 8
Entidad/es financiadora/s: MINISTERIO DE CIENCIA Y TECNOLOGIA **Tipo de entidad:** Organismo, Otros
Fecha de inicio: 28/12/2000 **Duración:** 3 años
Cuantía total: 39.714,88 €
- 22** **Nombre del proyecto:** DISEÑO DE SISTEMAS DIGITALES (GR00-183)
Entidad de realización: Universitat Politècnica de València
Nombres investigadores principales (IP, Co-IP,...): Àngel Sebastià Cortés
Nº de investigadores/as: 7
Entidad/es financiadora/s: GENERALITAT VALENCIANA **Tipo de entidad:** Organismo, Otros
Fecha de inicio: 19/09/2000 **Duración:** 3 meses
Cuantía total: 7.813,16 €
- 23** **Nombre del proyecto:** NUEVAS TECNOLOGIAS PARA EL DISEÑO Y FABRICACION DE CIRCUITOS INTEGRADOS DIGITALES DE APLICACION ESPECIFICA.
Entidad de realización: Universitat Politècnica de València
Nombres investigadores principales (IP, Co-IP,...): Àngel Sebastià Cortés
Nº de investigadores/as: 8
Entidad/es financiadora/s: INSTITUTO VALENCIANO DE COMPETITIVIDAD EMPRESARIAL
Fecha de inicio: 10/09/1996 **Duración:** 12 meses
Cuantía total: 60.101,21 €
- 24** **Nombre del proyecto:** PROYECTO PARA COMPLETAR Y AMPLIAR EL DESARROLLO DE UN SISTEMA DE PROCESADO DIGITAL DE AUDIO BASADO EN DSP (Desconocido)
Nº de investigadores/as: 6
Entidad/es financiadora/s: COMERCIAL ELECTRONICA STUDIO-2, S.L. - DAS **Tipo de entidad:** Organismo, Otros AUDIO
Fecha de inicio: 01/02/1996 **Duración:** 1 año
Cuantía total: 16.227,33 €
- 25** **Nombre del proyecto:** DESARROLLO DE SISTEMAS DE PROCESADO DIGITAL DE AUDIO BASADOS EN DSP (Desconocido)
Nº de investigadores/as: 6
Entidad/es financiadora/s: DAS AUDIO, SA - COMERCIAL ELECTRONICA STUDIO-2, SL **Tipo de entidad:** Organismo, Otros
Fecha de inicio: 30/12/1994 **Duración:** 1 año
Cuantía total: 16.227,33 €



Contratos, convenios o proyectos de I+D+i no competitivos con Administraciones o entidades públicas o privadas

- 1** **Nombre del proyecto:** DISEÑO DE UN REGISTRADOR IOT (INTERNET-OF-THINGS) DE SENSADO, ACTUACION Y COMUNICACION REMOTA CON BIG DATA NEXUS
Entidad de realización: Universitat Politècnica de València
Entidad de realización: Universitat Politècnica de València
Nombres investigadores principales (IP, Co-IP,...): Marcos Antonio Martínez Peiró
Nº de investigadores/as: 5
Entidad/es financiadora/s: SOLUCIONES AVANZADAS DEL AGUA SERVICIOS **Tipo de entidad:** Organismo, Otros Y MEDIO AMBIENTE SL
Fecha de inicio: 20/03/2018 **Duración:** 8 meses
Cuantía total: 30.600 €
- 2** **Nombre del proyecto:** DISEÑO DE UN ASIC PARA EL FRONT-END DE SISTEMAS PET (CDTI 2011)
Entidad de realización: Universitat Politècnica de València
Entidad de realización: Universitat Politècnica de València
Nombres investigadores principales (IP, Co-IP,...): Vicente Herrero Bosch
Nº de investigadores/as: 5
Entidad/es financiadora/s: GENERAL EQUIPMENT FOR MEDICAL IMAGING, **Tipo de entidad:** Organismo, Otros S.A.
Fecha de inicio: 23/12/2011 **Duración:** 2 años
Cuantía total: 145.000 €
- 3** **Nombre del proyecto:** DISEÑO Y DESARROLLO DE UN ASIC PARA FOTOMULTIPLICADORES SENSIBLES A POSICION
Entidad de realización: Universitat Politècnica de València
Entidad de realización: Universitat Politècnica de València
Nombres investigadores principales (IP, Co-IP,...): Ángel Sebastiá Cortés
Nº de investigadores/as: 7
Entidad/es financiadora/s: GENERAL EQUIPMENT FOR MEDICAL IMAGING, **Tipo de entidad:** Organismo, Otros S.A.
Fecha de inicio: 28/03/2007 **Duración:** 1 año
Cuantía total: 12.000 €
- 4** **Nombre del proyecto:** PROYECTO PARA COMPLETAR Y AMPLIAR EL DESARROLLO DE UN SISTEMA DE PROCESADO DIGITAL DE AUDIO BASADO EN DSP
Entidad de realización: Universitat Politècnica de València
Entidad de realización: Universitat Politècnica de València
Nombres investigadores principales (IP, Co-IP,...): Antonio Mocholí Salcedo
Nº de investigadores/as: 6
Entidad/es financiadora/s: Desconocido **Tipo de entidad:** Organismo, Otros
Fecha de inicio: 01/02/1996 **Duración:** 3 años - 10 meses - 30 días
Cuantía total: 18.823,7 €

**5 Nombre del proyecto:** DESARROLLO DE SISTEMAS DE PROCESADO DIGITAL DE AUDIO BASADOS EN DSP**Entidad de realización:** Universitat Politècnica de València**Entidad de realización:** Universitat Politècnica de València**Nombres investigadores principales (IP, Co-IP,...):** Antonio Mocholí Salcedo**Nº de investigadores/as:** 6**Entidad/es financiadora/s:**
desconocida**Fecha de inicio:** 30/12/1994**Duración:** 12 meses**Cuantía total:** 18.823,7 €**Resultados****Propiedad industrial e intelectual****Título propiedad industrial registrada:** APARATO Y MÉTODO DE DETECCIÓN DE DAÑO PRODUCIDO POR LA MIOPATÍA DEL PECTORAL PROFUNDO EN AVES**Inventores/autores/obtentores:** Pedro José Fito Suñer; Ricardo Colom Palero; Marta Castro Giraldez; Rafael Gadea Gironés; Vicente Herrero Bosch; Jose María Monzó Ferrer; Ángel Tebar Ruiz; Maria Victoria Traffano**Entidad titular de derechos:** Universitat Politècnica de València**Nº de solicitud:** P201630062**País de inscripción:** España**Fecha de concesión:** 06/08/2019**C. Autón./Reg. de explotación:** España**Resultados tecnológicos derivados de actividades especializadas y de transferencia no incluidos en apartados anteriores****Descripción:** Contrato de distribución de software de 'GPUetch', para la simulación de micromecanizado de MEMS mediante atacado anisótropo**Nombre del investigador/a principal (IP):** Joaquín Cerdá Boluda**Nombre del investigador/a corresponsable (Co-IP):** Nestor Ferrando Jodar**Grado de contribución:** Investigador/a**Entidad/es colaboradora/s:**

IntelliETch Software Corporation

Tipo de entidad: Entidad Empresarial**Ciudad entidad colaboradora:** Nanjing, China**Fecha de inicio:** 09/11/2012



Actividades científicas y tecnológicas

Producción científica

Publicaciones, documentos científicos y técnicos

- 1 Rafael Gadea Gironés; Jose Luis Rocabado Rocha; Jorge Deolindo Fe; José María Monzó Ferrer. A Heterogeneous Inference Framework for a Deep Neural Network. *Electronics*. 13, 348, pp. 1 - 23. 2024. ISSN 2079-9292. DOI: <https://doi.org/10.3390/electronics13020348>

Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 2 Rafael Gadea Gironés; Jorge Deolindo Fe; José María Monzó Ferrer. Task parallelism-based architectures on FPGA to optimize the energy efficiency of AI at the edge. *Microprocessors and Microsystems*. 98, 104824, pp. 1 - 15. 2023. ISSN 0141-9331. DOI: 10.1016/j.micpro.2023.104824

Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 3 Jorge Deolindo Fe; Rafael Gadea Gironés; José María Monzó Ferrer; Ángel Tébar Ruiz; Ricardo José Colom Palero. Improving FPGA Based Impedance Spectroscopy Measurement Equipment by Means of HLS Described Neural Networks to Apply Edge AI. *Electronics*. 11, 2064, pp. 1 - 14. 2022. ISSN 2079-9292. DOI: 10.3390/electronics11132064

Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 4 Josh Renner; Carmen Romo Luque; Ramón José Aliaga Varea; VICENTE ÁLVAREZ PUERTA; Francisco José Ballester Merelo; José María Benloch Rodríguez; J.V. Carrión; D. Cubero; José Díaz; Raul Esteve Bosch; Rafael Gadea Gironés; J. Generowicz; J. Gillam; J. L. López Gómez; A. Martínez; Javier Rodriguez Samaniego; José Francisco Toledo Alarcón; Ruben Torres Curado; Vicente Herrero Bosch; Jorge Rodríguez Ponce. Monte Carlo characterization of PETALO, a full-body liquid xenon-based PET detector. *Journal of Instrumentation*. 17, pp. 1 - 14. 2022. ISSN 1748-0221. DOI: 10.1088/1748-0221/17/05/P05044

Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 5 Rafael Gadea Gironés; Vicente Herrero Bosch; José María Monzó Ferrer; Ricardo José Colom Palero. Implementation of Autoencoders with Systolic Arrays through OpenCL. *Electronics*. 10, pp. 1 - 20. 2021. ISSN 2079-9292. DOI: 10.3390/electronics10010070

Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 6 Rafael Gadea Gironés; Ricardo José Colom Palero; Vicente Herrero Bosch. Optimization of Deep Neural Networks Using SoCs with OpenCL. *Sensors*. 18, 2018. ISSN 1424-8220. DOI: 10.3390/s18051384

Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 7 Ramón José Aliaga Varea; Rafael Gadea Gironés; Vicente Herrero Bosch. Conceptual design of the early implementation of the NEutron Detector Array (NEDA) with AGATA. *The European Physical Journal A*. 52, 2016. ISSN 1434-6001. DOI: 10.1140/epja/i2016-16055-8

Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 8 T Huyuk; Antonio Di Nitto; Grzegorz Jaworski; Andrés Gadea; Jose Javier Valiente Dobón; Johan Nyberg; Marcin Palacz; Par-Anders Soderstrom; Ramón José Aliaga Varea; Giacomo de Angelis; Ayse Atac; Javier Collado; Cesar Domingo Pardo; Francisco Javier Egea; Nizamettin Erduran; Rafael Gadea Gironés; Vicente Herrero Bosch. Conceptual design of the early implementation of the NEutron Detector Array (NEDA) with AGATA. *The European Physical Journal A*. 52, pp. 1 - 8. 2016. ISSN 1434-6001. DOI: 10.1140/epja/i2016-16055-8



Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 9** Ramón José Aliaga Varea; Vicente Herrero Bosch; Stefano Capra; Alberto Pullia; Jose Antonio Dueñas; Leonardo Grassi; Antonio Triossi; Carlos Domingo Pardo; Rafael Gadea Gironés; VICENTE GONZÁLEZ; T Huyuk; E. SANCHIS; A. GADEA; Daniele Mengoni. Conceptual design of the TRACE detector readout using a compact, dead time-less analog memory ASIC. NUCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH SECTION A-ACCELERATORS SP. pp. 34 - 39. 2015. ISSN 0168-9002. DOI: [dx.doi.org/10.1016/j.nima.2015.07.067](https://doi.org/10.1016/j.nima.2015.07.067)

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 10** JORGE DEOLINDO FE; Ramón José Aliaga Varea; Rafael Gadea Gironés. Evolutionary optimization of neural networks with heterogeneous computation: study and implementation. The Journal of Supercomputing. pp. 2944 - 2962. 2015. ISSN 0920-8542. DOI: <http://dx.doi.org/10.1007/s11227-015-1419-7>

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 11** Jorge Deolindo Fe; Ramón José Aliaga Varea; Rafael Gadea Gironés. Evolutionary optimization of neural networks with heterogeneous computation: study and implementation. The Journal of Supercomputing. pp. 2944 - 2962. 2015. ISSN 0920-8542. DOI: <http://dx.doi.org/10.1007/s11227-015-1419-7>

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 12** Ramón José Aliaga Varea; Vicente Herrero Bosch; José María Monzó Ferrer; Ana Ros García; Rafael Gadea Gironés; Ricardo José Colom Palero. Evaluation of a Modular PET System Architecture with Synchronization over Data Links. IEEE TRANSACTIONS ON NUCLEAR SCIENCE. 61, pp. 88 - 98. 2014. ISSN 0018-9499. DOI: [10.1109/TNS.2014.2298399](https://doi.org/10.1109/TNS.2014.2298399)

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 13** José María Monzó Ferrer; Ana Ros García; Vicente Herrero Bosch; Ivan Virgilio Perino Vicentini; Ramón José Aliaga Varea; Rafael Gadea Gironés; Ricardo José Colom Palero. Evaluation of a timing integrated circuit architecture for continuous crystal and SiPM based PET systems. Journal of Instrumentation. 8, pp. 1 - 6. 2013. ISSN 1748-0221. DOI: [10.1088/1748-0221/8/03/C03017](https://doi.org/10.1088/1748-0221/8/03/C03017)

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 14** MICHELE SPAGGIARI; Vicente Herrero Bosch; Christoph Werner Lerche .; Ramón José Aliaga Varea; José María Monzó Ferrer; Rafael Gadea Gironés. AMIC: an expandable integrated analog front-end for light distribution moments analysis. Journal of Instrumentation. 6, pp. 1010 - 1020. 2011. ISSN 1748-0221. DOI: [10.1088/1748-0221/6/01/C01094](https://doi.org/10.1088/1748-0221/6/01/C01094)

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 15** Néstor Ferrando Jódar; MIGUEL ANGEL GOSALVEZ AYUSO; Joaquín Cerdá Boluda; Rafael Gadea Gironés; KAZUO SATO. Faster and exact implementation of the continuous cellular automaton for anisotropic etching simulations. JOURNAL OF MICROMECHANICS AND MICROENGINEERING. 21, pp. 25021 - 25021. 2011. ISSN 0960-1317. DOI: [10.1088/0960-1317/21/2/025021](https://doi.org/10.1088/0960-1317/21/2/025021)

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 16** Rafael Gadea Gironés. Multilayer perceptron neural networks and radial-basis function networks as tools to forecast accumulation of deoxynivalenol in barley seeds contaminated with Fusarium culmorum. FOOD CONTROL. 22, pp. 88 - 95. 2011. ISSN 0956-7135. DOI: <http://dx.doi.org/10.1016/j.foodcont.2010.05.013>

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 17** Rafael Gadea Gironés. Multilayer perceptron neural networks and radial-basis function networks as tools to forecast accumulation of deoxynivalenol in barley seeds contaminated with Fusarium culmorum. Food Control. 22, pp. 88 - 95. 2011. ISSN 0956-7135. DOI: <http://dx.doi.org/10.1016/j.foodcont.2010.05.013>

Tipo de producción: Artículo científico

Tipo de soporte: Revista



- 18** Joaquín Cerdá Boluda; Rafael Gadea Gironés. Octree-based, GPU implementation of a continuous cellular automaton for the simulation of complex, evolving surfaces. *COMPUTER PHYSICS COMMUNICATIONS*. 182, pp. 628 - 640. 2011. ISSN 0010-4655. DOI: 10.1016/j.cpc.2010.11.004
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 19** Joaquín Cerdá Boluda; Rafael Gadea Gironés. Octree-based, GPU implementation of a continuous cellular automaton for the simulation of complex, evolving surfaces. *Computer Physics Communications*. 182, pp. 628 - 640. 2011. ISSN 0010-4655. DOI: 10.1016/j.cpc.2010.11.004
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 20** Ramón José Aliaga Varea; José María Monzó Ferrer; MICHELE SPAGGIARI; Néstor Ferrando Jódar; Rafael Gadea Gironés; Ricardo José Colom Palero. PET System Synchronization and Timing Resolution Using High-Speed Data Links. *IEEE TRANSACTIONS ON NUCLEAR SCIENCE*. 58, pp. 1596 - 1605. 2011. ISSN 0018-9499. DOI: 10.1109/TNS.2011.2140130
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 21** MIGUEL ANGEL GOSALVEZ AYUSO; Néstor Ferrando Jódar; Yan Xing; Prem Pal; KAZUO SATO; Joaquín Cerdá Boluda; Rafael Gadea Gironés. Simulating anisotropic etching of silicon in any etchant: evolutionary algorithm for the calibration of the continuous cellular automaton. *JOURNAL OF MICROMECHANICS AND MICROENGINEERING*. 21, pp. 65017 - 65017. 2011. ISSN 0960-1317. DOI: doi:10.1088/0960-1317/21/6/065017
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 22** FERNANDO MATEO JIMÉNEZ; Rafael Gadea Gironés. Approximate k-NN delta test minimization method using genetic algorithms: Application to time series. *NEUROCOMPUTING*. 73, pp. 2017 - 2029. 2010. ISSN 0925-2312
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 23** FERNANDO MATEO JIMÉNEZ; Rafael Gadea Gironés. Approximate k-NN delta test minimization method using genetic algorithms: Application to time series. *Neurocomputing*. 73, pp. 2017 - 2029. 2010. ISSN 0925-2312
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 24** Néstor Ferrando Jódar; MIGUEL ANGEL GOSALVEZ AYUSO; Joaquín Cerdá Boluda; Rafael Gadea Gironés; KAZUO SATO. Octree-based, GPU implementation of a continuous cellular automaton for the simulation of complex, evolving surfaces. *COMPUTER PHYSICS COMMUNICATIONS*. 182, pp. 628 - 640. 2010. ISSN 0010-4655. DOI: 10.1016/j.cpc.2010.11.004
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 25** José María Monzó Ferrer; Christoph Werner Lerche .; Jorge Daniel Martínez Pérez; Raul Esteve Bosch; José Francisco Toledo Alarcón; Rafael Gadea Gironés; Ricardo José Colom Palero; Néstor Ferrando Jódar; Ramón José Aliaga Varea; FERNANDO MATEO JIMÉNEZ; Filomeno Sánchez Martínez; Francisco José Mora Mas; JOSE MARIA BENLLOCH BAVIERA; Ángel Sebastiá Cortés. Analysis of time resolution in a dual head LSO+PSPMT PET system using low pass filter interpolation and digital constant fraction discriminator techniques. *NUCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH SECTION A-ACCELERATORS SP*. 604, pp. 347 - 350. 2009. ISSN 0168-9002. DOI: 10.1016/j.nima.2009.01.062
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 26** José María Monzó Ferrer; Christoph Werner Lerche .; Jorge Daniel Martínez Pérez; Raul Esteve Bosch; José Francisco Toledo Alarcón; Rafael Gadea Gironés; Ricardo José Colom Palero; Néstor Ferrando Jódar; Ramón José Aliaga Varea; FERNANDO MATEO JIMÉNEZ; Filomeno Sánchez Martínez; Francisco José Mora Mas; JOSE MARIA BENLLOCH BAVIERA; Ángel Sebastiá Cortés. Analysis of time resolution in a dual head LSO+PSPMT PET system using low pass filter interpolation and digital constant fraction discriminator techniques. *Nuclear Instruments and Methods in Physics Research Section A Accelerators Spectrometers Detectors and Associated Equipment*. 604, pp. 347 - 350. 2009. ISSN 0168-9002. DOI: 10.1016/j.nima.2009.01.062
Tipo de producción: Artículo científico **Tipo de soporte:** Revista



- 27** Néstor Ferrando Jódar; Vicente Herrero Bosch; Joaquín Cerdá Boluda; Christoph Werner Lerche .; Ricardo José Colom Palero; Rafael Gadea Gironés; Jorge Daniel Martínez Pérez; José María Monzó Ferrer; FERNANDO MATEO JIMÉNEZ; Ángel Sebastiá Cortés; JOSE MARIA BENLLOCH BAVIERA. Cellular automatonnext term-based position sensitive detector equalization. NUCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH SECTION A-ACCELERATORS SP. 604, pp. 211 - 214. 2009. ISSN 0168-9002. DOI: doi:10.1016/j.nima.2009.01.081
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 28** Christoph Werner Lerche .; MICHAEL DÖRING; Ana Ros García; Vicente Herrero Bosch; Rafael Gadea Gironés; Ramón José Aliaga Varea; Ricardo José Colom Palero; FERNANDO MATEO JIMÉNEZ; José María Monzó Ferrer; Néstor Ferrando Jódar; José Francisco Toledo Alarcón; Jorge Daniel Martínez Pérez; Ángel Sebastiá Cortés; Filomeno Sánchez Martínez; JOSE MARIA BENLLOCH BAVIERA. Depth of interaction detection for gamma ray imaging. NUCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH SECTION A-ACCELERATORS SP. 600, pp. 624 - 624. 2009. ISSN 0168-9002. DOI: 10.1016/j.nima.2008.11.151
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 29** FERNANDO MATEO JIMÉNEZ; Ramón José Aliaga Varea; Néstor Ferrando Jódar; Jorge Daniel Martínez Pérez; Vicente Herrero Bosch; Christoph Werner Lerche .; Ricardo José Colom Palero; José María Monzó Ferrer; Ángel Sebastiá Cortés; Rafael Gadea Gironés. High-precision position estimation in PET using artificial neural networks. NUCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH SECTION A-ACCELERATORS SP. 604, pp. 366 - 369. 2009. ISSN 0168-9002. DOI: 10.1016/j.nima.2009.01.058
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 30** Christoph Werner Lerche .; Ana Ros García; José María Monzó Ferrer; Ramón José Aliaga Varea; Néstor Ferrando Jódar; Jorge Daniel Martínez Pérez; Vicente Herrero Bosch; Raul Esteve Bosch; Rafael Gadea Gironés; Ricardo José Colom Palero; José Francisco Toledo Alarcón; FERNANDO MATEO JIMÉNEZ; Ángel Sebastiá Cortés; Filomeno Sánchez Martínez; JOSE MARIA BENLLOCH BAVIERA. Maximum likelihood positioning for gamma ray imaging detectors with depth of interaction measurement. NUCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH SECTION A-ACCELERATORS SP. 604, pp. 359 - 362. 2009. ISSN 0168-9002. DOI: 10.1016/j.nima.2009.01.060
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 31** Vicente Herrero Bosch; Néstor Ferrando Jódar; Jorge Daniel Martínez Pérez; Christoph Werner Lerche .; José María Monzó Ferrer; FERNANDO MATEO JIMÉNEZ; Ricardo José Colom Palero; Rafael Gadea Gironés; Ángel Sebastiá Cortés; JOSE MARIA BENLLOCH BAVIERA. Position sensitive scintillator based detector improvements by means of an integrated front-end. NUCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH SECTION A-ACCELERATORS SP. 1, pp. 77 - 81. 2009. ISSN 0168-9002. DOI: 10.1016/j.nima.2009.01.077
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 32** FERNANDO MATEO JIMÉNEZ; Rafael Gadea Gironés. Predictive assessment of ochratoxin A accumulation in grape juice based-medium by Aspergillus carbonarius using neural networks. JOURNAL OF APPLIED MICROBIOLOGY. 107, pp. 2017 - 2029. 2009. ISSN 1364-5072
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 33** Ramón José Aliaga Varea; Rafael Gadea Gironés; Ricardo José Colom Palero; José María Monzó Ferrer; Christoph Werner Lerche .; Jorge Daniel Martínez Pérez. System-on-Chip Implementation of Neural Network Training on FPGA. International Journal On Advances in Systems and Measurements. 2, pp. 44 - 55. 2009. ISSN 1942-261X
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 34** AGUSTIN RAMIREZ AGUNDIS; Rafael Gadea Gironés; Ricardo José Colom Palero; JAVIER DIAZ CARMONA. A Mixed Hardware/Software SOFM Training System.COMPUTACIÓN Y SISTEMAS. Revista Iberoamericana de Computación. 11, pp. 349 - 356. 2008. ISSN 1405-5546
Tipo de producción: Artículo científico **Tipo de soporte:** Revista



- 35** AGUSTIN RAMIREZ AGUNDIS; Rafael Gadea Gironés; Ricardo José Colom Palero. A hardware design of a massive-parallel, modular NN-based vector quantizer for real-time video coding. MICROPROCESSORS AND MICROSYSTEMS. 32, pp. 33 - 44. 2008. ISSN 0141-9331. DOI: 10.1016/j.micpro.2007.06.004
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 36** FERNANDO MATEO JIMÉNEZ; Rafael Gadea Gironés. Neural network models for prediction of trichothecene content in wheat. World Mycotoxin Journal. 1, pp. 349 - 356. 2008. ISSN 1875-0710
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 37** Vicente Herrero Bosch; Ricardo José Colom Palero; Rafael Gadea Gironés; Jaime Espinosa Garcia; José María Monzó Ferrer; Raul Esteve Bosch; Ángel Sebastián Cortés; Christoph Werner Lerche .; JOSE MARIA BENLLOCH BAVIERA. PESIC: An Integrated Front-End for PET. IEEE TRANSACTIONS ON NUCLEAR SCIENCE. 55, pp. 27 - 33. 2008. ISSN 0018-9499
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 38** Rafael Gadea Gironés; Ricardo José Colom Palero. A wavelet-VQ system for real-time video compression. Journal of Real-Time Image Processing. 2, pp. 271 - 280. 2007. ISSN 1861-8200
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 39** Rafael Gadea Gironés; Ricardo José Colom Palero. A wavelet-VQ system for real-time video compression. Journal of Real-Time Image Processing. 2, pp. 271 - 280. 2007. ISSN 1861-8200
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 40** Jose María Benlloch Baviera; Antonio Javier González Martínez; Christoph Werner Lerche .; Ana Ros García; Filomeno Sánchez Martínez; Antonio Soriano Asensi; Luis Fernando Vidal San Sebastian; Ricardo José Colom Palero; Rafael Gadea Gironés; Vicente Herrero Bosch; Francisco José Mora Mas; Ángel Sebastián Cortés. Diseño y primeros resultados de una cámara PET para animales pequeños basada en cristales LYSO continuos y fotomultiplicadores sensibles a la posición. Revista de Física Médica. 8, pp. 315 - 321. 2007. ISSN 1576-6632
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 41** Jose María Benlloch Baviera; Antonio Javier González Martínez; Christoph Werner Lerche .; Ana Ros García; Filomeno Sánchez Martínez; Antonio Soriano Asensi; Luis Fernando Vidal San Sebastian; Ricardo José Colom Palero; Rafael Gadea Gironés; Vicente Herrero Bosch; Francisco José Mora Mas; Ángel Sebastián Cortés. Diseño y primeros resultados de una cámara PET para animales pequeños basada en cristales LYSO continuos y fotomultiplicadores sensibles a la posición. Revista de Física Médica. 8, pp. 315 - 321. 2007. ISSN 1576-6632
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 42** Vicente Herrero Bosch; Ricardo José Colom Palero; Rafael Gadea Gironés; Christoph Werner Lerche .; Joaquín Cerdá Boluda; Ángel Sebastián Cortés; JOSE MARIA BENLLOCH BAVIERA. Front-end circuit for position sensitive silicon and vacuum tube photomultipliers with gain control and depth of interaction measurement. NUCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH SECTION A-ACCELERATORS SP. 576, pp. 118 - 122. 2007. ISSN 0168-9002
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 43** Ramón José Aliaga Varea; Jorge Daniel Martínez Pérez; José María Monzó Ferrer; Rafael Gadea Gironés. Incidence Position Estimation in a PET Detector Using a Discretized Positioning Circuit and Neural Networks. Lecture Notes in Computer Science. 2007, pp. 684 - 691. 2007. ISSN 0302-9743
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 44** Ramón José Aliaga Varea; Jorge Daniel Martínez Pérez; José María Monzó Ferrer; Rafael Gadea Gironés. Incidence Position Estimation in a PET Detector Using a Discretized Positioning Circuit and Neural Networks. Lecture Notes in Computer Science. 2007, pp. 684 - 691. 2007. ISSN 0302-9743



Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 45** Ricardo José Colom Palero; Rafael Gadea Gironés; Ángel Sebastiá Cortés. A Novel FPGA Architecture of a 2-D Wavelet Transform. JOURNAL OF VLSI SIGNAL PROCESSING. 42, pp. 273 - 284. 2006. ISSN 0922-5773

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 46** Joaquín Cerdá Boluda; Marcos Antonio Martínez Peiró; Miguel Ángel Larrea Torres; Rafael Gadea Gironés; Ricardo José Colom Palero. An Active Methodology for Teaching Electronic Systems Design. IEEE TRANSACTIONS ON EDUCATION. 49, pp. 355 - 359. 2006. ISSN 0018-9359

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 47** Ramón José Aliaga Varea; Jorge Daniel Martínez Pérez; Rafael Gadea Gironés; Ángel Sebastiá Cortés. Corrected Position Estimation in PET Detector Modules with Multi-Anode PMTs using Neural Networks. IEEE TRANSACTIONS ON NUCLEAR SCIENCE. 53, pp. 776 - 783. 2006. ISSN 0018-9499

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 48** Joaquín Cerdá Boluda; Rafael Gadea Gironés; Jorge Daniel Martínez Pérez; Ángel Sebastiá Cortés. A Tool for Implementing and Exploring SBM Models: Universal 1D Invertible Cellular Automata. Lecture Notes in Computer Science. 3561, pp. 279 - 289. 2005. ISSN 0302-9743

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 49** Rafael Gadea Gironés; Ricardo José Colom Palero; Joaquín Cerdá Boluda; Ángel Sebastiá Cortés. FPGA Implementation of a Pipelined On-Line Backpropagation. JOURNAL OF VLSI SIGNAL PROCESSING. 40, pp. 189 - 213. 2005. ISSN 0922-5773

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 50** Joaquín Cerdá Boluda; Rafael Gadea Gironés; Ángel Sebastiá Cortés. FPGA Implementations of the RNR Cellular Automata to Model Electrostatic Field. Lecture Notes in Computer Science. 3402, pp. 382 - 395. 2005. ISSN 0302-9743

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 51** Marcos Antonio Martínez Peiró; Francisco José Ballester Merelo; Ricardo José Colom Palero; Rafael Gadea Gironés. FPGA Custom DSP for ECG Signal Analysis and Compression. Lecture Notes in Computer Science. 3203, pp. 954 - 958. 2004. ISSN 0302-9743

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 52** Marcos Antonio Martínez Peiró; Francisco José Ballester Merelo; Ricardo José Colom Palero; Rafael Gadea Gironés. FPGA Custom DSP for ECG Signal Analysis and Compression. Lecture Notes in Computer Science. 3203, pp. 954 - 958. 2004. ISSN 0302-9743

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 53** Ricardo José Colom Palero; Rafael Gadea Gironés; Francisco José Ballester Merelo; Marcos Antonio Martínez Peiró. Flexible architecture for the implementation of the two-dimensional discrete wavelet transform (2D-DWT) oriented to FPGA devices. MICROPROCESSORS AND MICROSYSTEMS. 28, pp. 509 - 518. 2004. ISSN 0141-9331

Tipo de producción: Artículo científico

Tipo de soporte: Revista

- 54** Rafael Gadea Gironés; AGUSTIN RAMIREZ AGUNDIS; Joaquín Cerdá Boluda; Ricardo José Colom Palero. FPGA Implementation of Adaptive Non-Linear Predictors for Video Compression. Lecture Notes in Computer Science. 1, pp. 1016 - 1019. 2003. ISSN 0302-9743

Tipo de producción: Artículo científico

Tipo de soporte: Revista



- 55** Joaquín Cerdá Boluda; Rafael Gadea Gironés; GUILLERMO PAYÁ VAYÁ. Implementing a Margolus Neighborhood Cellular Automata on a FPGA. Lecture Notes in Computer Science. 2687, pp. 121 - 128. 2003. ISSN 0302-9743
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 56** Joaquín Cerdá Boluda; Rafael Gadea Gironés; Vicente Herrero Bosch; Ángel Sebastián Cortés. On the Implementation of a Margolus Neighborhood Cellular Automata on FPGA. Lecture Notes in Computer Science. 2778, pp. 776 - 785. 2003. ISSN 0302-9743
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 57** Joaquín Cerdá Boluda; Marcos Antonio Martínez Peiró; Ricardo José Colom Palero; Rafael Gadea Gironés. Lenguaje VHDL Evolución historia y fundamentos del lenguaje (I). MUNDO ELECTRÓNICO. pp. 34 - 39. 2001. ISSN 0300-3787
Tipo de producción: Artículo de divulgación **Tipo de soporte:** Revista
- 58** Marcos Antonio Martínez Peiró; Rafael Gadea Gironés; Joaquín Cerdá Boluda; Ricardo José Colom Palero. Lenguaje VHDL Síntesis lógica de sistemas digitales (II). MUNDO ELECTRÓNICO. pp. 38 - 45. 2001. ISSN 0300-3787
Tipo de producción: Artículo de divulgación **Tipo de soporte:** Revista
- 59** Rafael Gadea Gironés; Joaquín Cerdá Boluda; Marcos Antonio Martínez Peiró; Ricardo José Colom Palero. Lenguaje VHDL. Diseño de máquinas de estados finitos (III). MUNDO ELECTRÓNICO. pp. 40 - 46. 2001. ISSN 0300-3787
Tipo de producción: Artículo de divulgación **Tipo de soporte:** Revista
- 60** Francisco Mora Mas; Rafael Gadea Gironés; David Beltrán. MODELIZACIÓN VHDL: DESARROLLO DE UN BRIDGE PCI-SCI. MUNDO ELECTRÓNICO. Mundo Electrónico. pp. 28 - 32. 1997.
Tipo de producción: Artículo de divulgación **Tipo de soporte:** Revista
- 61** FERNANDO MATEO JIMÉNEZ; Ramón José Aliaga Varea; Jorge Daniel Martínez Pérez; José María Monzó Ferrer; Rafael Gadea Gironés. A 2D positioning application in PET using ANNs. Encyclopedia of Artificial Intelligence. 231, pp. 1576 - 1582. IGI Global - Information Science Reference, 2008. ISBN 9781599048499
Tipo de producción: Capítulo de libro **Tipo de soporte:** Libro
- 62** Rafael Gadea Gironés. Fpga Implementation of Non-Linear Predictors. Fpga Implementations of Neural Networks. 11, pp. 297 - 324. Springer, 2006. ISSN 0387284850
Tipo de producción: Capítulo de libro **Tipo de soporte:** Libro
- 63** Joaquín Cerdá Boluda; Marcos Antonio Martínez Peiró; Miguel Ángel Larrea Torres; Rafael Gadea Gironés; Ricardo José Colom Palero. A New Approach on Teaching Circuit and Electronic System Design. Innovations 2004: World Innovations in Engineering Education and Research. 21, pp. 225 - 233. Begell House Publishing, 2004. ISSN 0-9741252-1-0
Tipo de producción: Capítulo de libro **Tipo de soporte:** Libro
- 64** Joaquín Cerdá Boluda; Marcos Antonio Martínez Peiró; Miguel Ángel Larrea Torres; Rafael Gadea Gironés; Ricardo José Colom Palero. A New Approach on Teaching Circuit and Electronic System Design. Innovations 2004: World Innovations in Engineering Education and Research. 21, pp. 225 - 233. Begell House Publishing, 2004. ISBN 0-9741252-1-0
Tipo de producción: Capítulo de libro **Tipo de soporte:** Libro



- 65** Ricardo José Colom Palero; Rafael Gadea Gironés; Ángel Sebastiá Cortés; Marcos Antonio Martínez Peiró; Vicente Herrero Bosch; VICENTE ARNAU. Implementation of 2-D discrete wavelet transform for real-time video signal processing. *Advances in Signal Processing, Robotics and Communications*. 25, pp. 140 - 145. WSES Press, 2001. ISSN 960-8052-42-4
Tipo de producción: Capítulo de libro **Tipo de soporte:** Libro
- 66** Ricardo José Colom Palero; Rafael Gadea Gironés; Ángel Sebastiá Cortés; Marcos Antonio Martínez Peiró; Vicente Herrero Bosch; VICENTE ARNAU. Implementation of 2-D discrete wavelet transform for real-time video signal processing. *Advances in Signal Processing, Robotics and Communications*. 25, pp. 140 - 145. WSES Press, 2001. ISBN 960-8052-42-4
Tipo de producción: Capítulo de libro **Tipo de soporte:** Libro
- 67** Rafael Gadea Gironés; Ricardo José Colom Palero; Vicente Herrero Bosch; Marcos Antonio Martínez Peiró; Francisco José Ballester Merelo. Implementation of Modified Multilayer Neural Networks with On-chip Learning. *Advances in Signal Processing, Robotics and Communications*. 33, pp. 185 - 193. WSES Press, 2001. ISSN 960-8052-42-4
Tipo de producción: Capítulo de libro **Tipo de soporte:** Libro
- 68** Rafael Gadea Gironés; Ricardo José Colom Palero; Vicente Herrero Bosch; Marcos Antonio Martínez Peiró; Francisco José Ballester Merelo. Implementation of Modified Multilayer Neural Networks with On-chip Learning. *Advances in Signal Processing, Robotics and Communications*. 33, pp. 185 - 193. WSES Press, 2001. ISBN 960-8052-42-4
Tipo de producción: Capítulo de libro **Tipo de soporte:** Libro
- 69** Vicente Herrero Bosch; Marcos Antonio Martínez Peiró; Joaquín Cerdá Boluda; Rafael Gadea Gironés; Ricardo José Colom Palero; Francisco José Ballester Merelo. Implementation of a lifting based biorthogonal wavelet on a FPGA. *Advances in Signal Processing, Robotics and Communications*. 43, pp. 242 - 245. WSES Press, 2001. ISSN 960-8052-42-4
Tipo de producción: Capítulo de libro **Tipo de soporte:** Libro
- 70** Vicente Herrero Bosch; Marcos Antonio Martínez Peiró; Joaquín Cerdá Boluda; Rafael Gadea Gironés; Ricardo José Colom Palero; Francisco José Ballester Merelo. Implementation of a lifting based biorthogonal wavelet on a FPGA. *Advances in Signal Processing, Robotics and Communications*. 43, pp. 242 - 245. WSES Press, 2001. ISBN 960-8052-42-4
Tipo de producción: Capítulo de libro **Tipo de soporte:** Libro
- 71** Marcos Antonio Martínez Peiró; Rafael Gadea Gironés; Ricardo José Colom Palero; Vicente Herrero Bosch; Francisco José Ballester Merelo. Multiplierless FPGA FIR Filter Design Using a New Signed Common Subexpression Algorithm. *Advances in Signal Processing, Robotics and Communications*. 23, pp. 130 - 134. WSES Press, 2001. ISSN 960-8052-42-4
Tipo de producción: Capítulo de libro **Tipo de soporte:** Libro
- 72** Marcos Antonio Martínez Peiró; Rafael Gadea Gironés; Ricardo José Colom Palero; Vicente Herrero Bosch; Francisco José Ballester Merelo. Multiplierless FPGA FIR Filter Design Using a New Signed Common Subexpression Algorithm. *Advances in Signal Processing, Robotics and Communications*. 23, pp. 130 - 134. WSES Press, 2001. ISBN 960-8052-42-4
Tipo de producción: Capítulo de libro **Tipo de soporte:** Libro
- 73** Rafael Gadea Gironés. Implementación mediante FPGAs de un Perceptrón Multicapa entrenado con el Algoritmo de Backpropagation aplicando técnicas de Computación Paralela Pipeline y Arquitecturas Sistólicas. Universidad Politécnica de Valencia, 2000. ISSN 84-699-3279-9
Tipo de producción: Libro o monografía científica **Tipo de soporte:** Libro



Trabajos presentados en congresos nacionales o internacionales

- 1 Título del trabajo:** PETALO read-out: A novel approach for data acquisition systems in PET applications
Nombre del congreso: IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC 2018)
Ciudad de celebración: Sidney, Australia,
Fecha de celebración: 17/11/2018
Vicente Herrero Bosch; Rafael Gadea Gironés; Ramón José Aliaga Varea; JAVIER RODRIGUEZ SAMANIEGO; José Francisco Toledo Alarcón; Ruben Torres Curado; Francisco José Ballester Merelo; Raul Esteve Bosch; Juan José Gomez Cadenas; Paola Ferrario. "2018 IEEE Nuclear Science Symposium and Medical Imaging Conference Proceedings (NSS/MIC)". pp. null - null. IEEE,
- 2 Título del trabajo:** An ASIC Architecture for Dead Time-Less, Multichannel Current Pulse Acquisition with Extended Input Range
Nombre del congreso: IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC 2016)
Ciudad de celebración: Strasbourg, France,
Fecha de celebración: 05/11/2016
DMYTRO MÁZUR; Vicente Herrero Bosch; Ramón José Aliaga Varea; José María Monzó Ferrer; Rafael Gadea Gironés; Ricardo José Colom Palero. "2016 IEEE Nuclear Science Symposium, Medical Imaging Conference and Room-Temperature Semiconductor Detector Workshop (NSS/MIC/RTSD)". pp. 0 - 0. IEEE,
- 3 Título del trabajo:** Multichannel DAQ IC with zero deadtime and extended input range for current pulse sensors
Nombre del congreso: 20th IEEE NPSS Real Time Conference (RT2016)
Ciudad de celebración: Padova, Italia,
Fecha de celebración: 10/06/2016
DMYTRO MÁZUR; Vicente Herrero Bosch; Ramón José Aliaga Varea; José María Monzó Ferrer; Rafael Gadea Gironés; Ricardo José Colom Palero. "2016 IEEE-NPSS Real Time Conference (RT)". pp. 0 - 0. IEEE,
- 4 Título del trabajo:** Experimental Platform for Accelerate the Training of ANNs with Genetic Algorithm and Embedded System on FPGA
Nombre del congreso: 5th International Work-Conference on the Interplay between Natural and Artificial Computation (IWINAC 2013)
Ciudad de celebración: Palma de Mallorca, España,
Fecha de celebración: 14/06/2013
Rafael Gadea Gironés. "Natural and Artificial Models in Computation and Biology. 5th International Work-Conference on the Interplay Between Natural and Artificial Computation, IWINAC 2013". pp. 413 - 420. Springer. Lecture Notes in Computer Science, Vol. 7930 y 7931,
- 5 Título del trabajo:** Evaluation of a modular PET system architecture with synchronization over data links
Nombre del congreso: 2012 IEEE Nuclear Science Symposium, Medical Imaging Conference (NSS/MIC 2012) & Workshop on Room-Temperature Semiconductor X-Ray and Gamma-Ray Detectors
Ciudad de celebración: Anaheim, USA,
Fecha de celebración: 03/11/2012
Ramón José Aliaga Varea; Vicente Herrero Bosch; José María Monzó Ferrer; Ana Ros García; Rafael Gadea Gironés; Ricardo José Colom Palero. "Conference Proceedings". pp. 1035 - 1043. IEEE,



- 6 Título del trabajo:** Variable preprocessing applied to neural network position estimators for 2-D PET
Nombre del congreso: 2011 IEEE Nuclear Science Symposium, Medical Imaging Conference (NSS/MIC 2011)
Ciudad de celebración: Valencia,
Fecha de celebración: 21/10/2011
Jorge Daniel Martínez Pérez; Rafael Gadea Gironés. "Conference Record of the 2011 Nuclear Science Symposium and Medical Imaging Conference". pp. 3880 - 3887. IEEE Nuclear & Plasma Sciences Society,
- 7 Título del trabajo:** Efficient readout electronics for multi-anode photomultiplier
Nombre del congreso: SPIE Optics & Fotonics 2010: Hard X-Ray, Gamma-Ray, and Neutron Detector Physics XII
Ciudad de celebración: San Diego, California, USA,
Fecha de celebración: 02/08/2010
Vicente Herrero Bosch; Néstor Ferrando Jódar; Rafael Gadea Gironés; Francisco José Mora Mas; Filomeno Sánchez Martínez. "Proceedings of SPIE--the international society for optical engineering". pp. 210 - 216. SPIE, ISSN 0277-786X
- 8 Título del trabajo:** PET System Synchronization and Timing Resolution using High-Speed Data Links
Nombre del congreso: 17th IEEE NPSS Real Time Conference (RT2010)
Ciudad de celebración: Lisboa Portugal,
Fecha de celebración: 24/05/2010
Ramón José Aliaga Varea; José María Monzó Ferrer; MICHELE SPAGGIARI; Néstor Ferrando Jódar; Rafael Gadea Gironés; Ricardo José Colom Palero. "Proceedings of the 17th IEEE NPSS Real Time Conference". pp. 1 - 6. IEEE Nuclear and Plasma Science Society,
- 9 Título del trabajo:** A Mixed Hardware-Software Approach to Flexible Artificial Neural Network Training on FPGA
Nombre del congreso: 2009 International Conference on Embedded Computer Systems: Architectures, Modeling and Simulation (IC-SAMOS 2009)
Ciudad de celebración: Samos, Grecia,
Fecha de celebración: 20/07/2009
Ramón José Aliaga Varea; Rafael Gadea Gironés; Ricardo José Colom Palero; Joaquín Cerdá Boluda; Néstor Ferrando Jódar; Vicente Herrero Bosch. "Proceedings". pp. 1 - 8. IEEE,
- 10 Título del trabajo:** Implementación hardware de Autómatas Celulares con Mathematica
Nombre del congreso: III Congreso de Mathematica en España (MATHEMATICA '09)
Ciudad de celebración: Salamanca, España,
Fecha de celebración: 03/07/2009
Néstor Ferrando Jódar; Joaquín Cerdá Boluda; Rafael Gadea Gironés; Ricardo José Colom Palero. "Libro de Actas en CD". pp. 1 - 9. ADDLINK SOFTWARE CIENTÍFICO, S.L.,
- 11 Título del trabajo:** Fast Ethernet Media Access Controller Core
Nombre del congreso: 2009 Design, Automation and Test in Europe
Ciudad de celebración: Niza, Francia,
Fecha de celebración: 20/04/2009
GUILLERMO PAYÁ VAYÁ; Marcos Antonio Martínez Peiró; Francisco José Ballester Merelo; Rafael Gadea Gironés; Vicente Herrero Bosch. "Conference proceedings". pp. 183 - 186. IEEE Computer Society,
- 12 Título del trabajo:** Introducing Chaos and Fractal concepts in the electronic engineer curricula
Nombre del congreso: International Technology, Education and Development Conference (INTED 2009)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 09/03/2009



Joaquín Cerdá Boluda; Rafael Gadea Gironés; Néstor Ferrando Jódar; Vicente Herrero Bosch. "PROCEEDINGS". pp. 1 - 9. IATED,

- 13 Título del trabajo:** Analysis of Time Resolution in Monolithic Crystal PET Detectors using different Digital Time Extraction Algorithms
Nombre del congreso: 2008 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC 2008)
Ciudad de celebración: Dresden, Alemania,
Fecha de celebración: 15/12/2008
José María Monzó Ferrer; Christoph Werner Lerche .; Jorge Daniel Martínez Pérez; Raul Esteve Bosch; José Francisco Toledo Alarcón; Vicente Herrero Bosch; Néstor Ferrando Jódar; Ramón José Aliaga Varea; Ricardo José Colom Palero; Rafael Gadea Gironés; FILOMENO SANCHEZ; Francisco José Mora Mas; JOSE MARIA BENLLOCH BAVIERA; Ángel Sebastiá Cortés. "2008 Conference Record of the IEEE Nuclear Science Symposium and Medical Imaging Conference". pp. 4095 - 4100. IEEE NSS Society,
- 14 Título del trabajo:** First Evaluation Results of PESIC, an Integrated Front-End for PET Applications
Nombre del congreso: 2008 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC 2008)
Ciudad de celebración: Dresden, Alemania,
Fecha de celebración: 15/12/2008
Vicente Herrero Bosch; Néstor Ferrando Jódar; MARIA JOSE AGULLO ANTON; Jorge Daniel Martínez Pérez; José María Monzó Ferrer; Christoph Werner Lerche .; Ricardo José Colom Palero; Rafael Gadea Gironés; Ángel Sebastiá Cortés; JOSE MARIA BENLLOCH BAVIERA. "2008 Conference Record of the IEEE Nuclear Science Symposium and Medical Imaging Conference". pp. 1100 - 1104. IEEE NSS Society,
- 15 Título del trabajo:** CSDL & GLIDER: CAD Tools for Hardware Implementation of Cellular Automata
Nombre del congreso: International Conference on Advances in Electronics and Micro-electronics (ENICS 2008)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 10/12/2008
Néstor Ferrando Jódar; Joaquín Cerdá Boluda; Rafael Gadea Gironés; Vicente Herrero Bosch. "International Conference on Advances in Electronics and Micro-electronics (ENICS 2008)". pp. 20 - 25. CPS Production Editor, ISSN 978-0-7695-3370-4
- 16 Título del trabajo:** CSDL & GLIDER: CAD Tools for Hardware Implementation of Cellular Automata
Nombre del congreso: International Conference on Advances in Electronics and Micro-electronics (ENICS 2008)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 10/12/2008
Néstor Ferrando Jódar; Joaquín Cerdá Boluda; Rafael Gadea Gironés; Vicente Herrero Bosch. "International Conference on Advances in Electronics and Micro-electronics (ENICS 2008)". pp. 20 - 25. CPS Production Editor,
- 17 Título del trabajo:** CSDL & GLIDER: Tools for implementing cellular structures into FPGAs
Nombre del congreso: 7th International Caribbean Conference on Devices, Circuits and Systems (ICCDCS 2008)
Ciudad de celebración: Cancun, Mexico,
Fecha de celebración: 10/12/2008
Néstor Ferrando Jódar; Joaquín Cerdá Boluda; Rafael Gadea Gironés; Vicente Herrero Bosch. "Proceedings of the 7th International Caribbean Conference on Devices, Circuits and Systems. ICCDCS 2008". pp. 1 - 6. IEEE Computer Society, ISSN 978-1-4244-1957-9



- 18 Título del trabajo:** CSDL & GLIDER: Tools for implementing cellular structures into FPGAs
Nombre del congreso: 7th International Caribbean Conference on Devices, Circuits and Systems (ICCDCS 2008)
Ciudad de celebración: Cancun, Mexico,
Fecha de celebración: 10/12/2008
Néstor Ferrando Jódar; Joaquín Cerdá Boluda; Rafael Gadea Gironés; Vicente Herrero Bosch. "Proceedings of the 7th International Caribbean Conference on Devices, Circuits and Systems. ICCDCS 2008". pp. 1 - 6. IEEE Computer Society,
- 19 Título del trabajo:** Multiprocessor SoC Implementation of Neural Network Training on FPGA
Nombre del congreso: International Conference on Advances in Electronics and Micro-electronics (ENICS 2008)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 10/12/2008
Ramón José Aliaga Varea; Rafael Gadea Gironés; Ricardo José Colom Palero; José María Monzó Ferrer; Christoph Werner Lerche .; Jorge Daniel Martínez Pérez; Ángel Sebastía Cortés; FERNANDO MATEO JIMÉNEZ. "International Conference on Advances in Electronics and Micro-electronics (ENICS 2008)". pp. 149 - 154. CPS Production Editor, ISSN 978-0-7695-3370-4
- 20 Título del trabajo:** Multiprocessor SoC Implementation of Neural Network Training on FPGA
Nombre del congreso: International Conference on Advances in Electronics and Micro-electronics (ENICS 2008)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 10/12/2008
Ramón José Aliaga Varea; Rafael Gadea Gironés; Ricardo José Colom Palero; José María Monzó Ferrer; Christoph Werner Lerche .; Jorge Daniel Martínez Pérez; Ángel Sebastía Cortés; FERNANDO MATEO JIMÉNEZ. "International Conference on Advances in Electronics and Micro-electronics (ENICS 2008)". pp. 149 - 154. CPS Production Editor,
- 21 Título del trabajo:** SoC-Based Implementation of the Backpropagation Algorithm for MLP
Nombre del congreso: 8th International Conference on Hybrid Intelligent Systems (HIS 2008)
Ciudad de celebración: Barcelona, España,
Fecha de celebración: 10/12/2008
Ramón José Aliaga Varea; Rafael Gadea Gironés; Ricardo José Colom Palero; José María Monzó Ferrer; Christoph Werner Lerche .; Jorge Daniel Martínez Pérez; Ángel Sebastía Cortés; FERNANDO MATEO JIMÉNEZ. "Proceedings of the 8th International Conference on Hybrid Intelligent Systems". pp. 744 - 749. Universidad Politécnica de Catalunya, ISSN 978-0-7695-3326-1
- 22 Título del trabajo:** SoC-Based Implementation of the Backpropagation Algorithm for MLP
Nombre del congreso: 8th International Conference on Hybrid Intelligent Systems (HIS 2008)
Ciudad de celebración: Barcelona, España,
Fecha de celebración: 10/12/2008
Ramón José Aliaga Varea; Rafael Gadea Gironés; Ricardo José Colom Palero; José María Monzó Ferrer; Christoph Werner Lerche .; Jorge Daniel Martínez Pérez; Ángel Sebastía Cortés; FERNANDO MATEO JIMÉNEZ. "Proceedings of the 8th International Conference on Hybrid Intelligent Systems". pp. 744 - 749. Universidad Politécnica de Catalunya,
- 23 Título del trabajo:** Analysis of time resolution in a dual head LSO+PSPMT PET system using low pass filter interpolation and digital constant fraction discriminator techniques
Nombre del congreso: The 8th International Conference on Position Sensitive Detectors (PSD8)
Ciudad de celebración: Glasgow, Reino Unido,
Fecha de celebración: 01/08/2008



José María Monzó Ferrer; Christoph Werner Lerche .; Jorge Daniel Martínez Pérez; Raul Esteve Bosch; José Francisco Toledo Alarcón; Rafael Gadea Gironés; Ricardo José Colom Palero; Vicente Herrero Bosch; Néstor Ferrando Jódar; Ramón José Aliaga Varea; FERNANDO MATEO JIMÉNEZ; FILOMENO SANCHEZ; Francisco José Mora Mas; JOSE MARIA BENLLOCH BAVIERA; Ángel Sebastiá Cortés. "Conference Proceedings of the The 8th International Conference on Position Sensitive Detectors (PSD8)". pp. 38 - 38. University of Glasgow,

24 Título del trabajo: Cellular Automaton-Based Position Sensitive Detector Equalization

Nombre del congreso: The 8th International Conference on Position Sensitive Detectors (PSD8)

Ciudad de celebración: Glasgow, Reino Unido,

Fecha de celebración: 01/08/2008

Néstor Ferrando Jódar; Vicente Herrero Bosch; Joaquín Cerdá Boluda; Christoph Werner Lerche .; Ricardo José Colom Palero; Rafael Gadea Gironés; Jorge Daniel Martínez Pérez; José María Monzó Ferrer; FERNANDO MATEO JIMÉNEZ; Ángel Sebastiá Cortés; JOSE MARIA BENLLOCH BAVIERA. "Conference Proceedings of the The 8th International Conference on Position Sensitive Detectors (PSD8)". pp. 11 - 12. University of Glasgow,

25 Título del trabajo: High-Precision Position Estimation in PET using Artificial Neural Networks

Nombre del congreso: The 8th International Conference on Position Sensitive Detectors (PSD8)

Ciudad de celebración: Glasgow, Reino Unido,

Fecha de celebración: 01/08/2008

FERNANDO MATEO JIMÉNEZ; Ramón José Aliaga Varea; Néstor Ferrando Jódar; Jorge Daniel Martínez Pérez; Vicente Herrero Bosch; Christoph Werner Lerche .; Ricardo José Colom Palero; José María Monzó Ferrer; Ángel Sebastiá Cortés; Rafael Gadea Gironés. "Conference Proceedings of the The 8th International Conference on Position Sensitive Detectors (PSD8)". pp. 41 - 41. University of Glasgow,

26 Título del trabajo: Maximum likelihood positioning for gamma ray imaging detectors with depth of interaction measurement

Nombre del congreso: The 8th International Conference on Position Sensitive Detectors (PSD8)

Ciudad de celebración: Glasgow, Reino Unido,

Fecha de celebración: 01/08/2008

Christoph Werner Lerche .; ANA ROS; José María Monzó Ferrer; Ramón José Aliaga Varea; Néstor Ferrando Jódar; Jorge Daniel Martínez Pérez; Vicente Herrero Bosch; Raul Esteve Bosch; Rafael Gadea Gironés; Ricardo José Colom Palero; José Francisco Toledo Alarcón; FERNANDO MATEO JIMÉNEZ; Ángel Sebastiá Cortés; FILOMENO SANCHEZ; JOSE MARIA BENLLOCH BAVIERA. "Conference Proceedings of the The 8th International Conference on Position Sensitive Detectors (PSD8)". pp. 20 - 24. University of Glasgow,

27 Título del trabajo: Position Sensitive Scintillator based Detector Improvements by means of an Integrated Front-End

Nombre del congreso: The 8th International Conference on Position Sensitive Detectors (PSD8)

Ciudad de celebración: Glasgow, Reino Unido,

Fecha de celebración: 01/08/2008

Vicente Herrero Bosch; Néstor Ferrando Jódar; Jorge Daniel Martínez Pérez; José María Monzó Ferrer; FERNANDO MATEO JIMÉNEZ; Ricardo José Colom Palero; Rafael Gadea Gironés; Ángel Sebastiá Cortés; JOSE MARIA BENLLOCH BAVIERA; Christoph Werner Lerche . "Conference Proceedings of the The 8th International Conference on Position Sensitive Detectors (PSD8)". pp. 0 - 10. University of Glasgow,

28 Título del trabajo: DOCENCIA MULTIDISCIPLINAR CON SISTEMAS DE DESARROLLO PARA SoPC

Nombre del congreso: VIII Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAEE 2008)

Ciudad de celebración: Zaragoza, España,

Fecha de celebración: 04/07/2008



Ricardo José Colom Palero; Rafael Gadea Gironés; Joaquín Cerdá Boluda; Vicente Herrero Bosch; Ángel Tébar Ruiz. "Resúmenes de los trabajos del VIII Congreso TAAE". pp. 42 - 53. Universidad de Zaragoza,

- 29 Título del trabajo:** A First Experience Using Sopc Boards For An Msc Thesis. Web Server With Compactflash.
Nombre del congreso: International Technology, Education and Development Conference (INTED 2008)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 03/03/2008
Ricardo José Colom Palero; Rafael Gadea Gironés; Joaquín Cerdá Boluda; Vicente Herrero Bosch; Ángel Tébar Ruiz. "cd-Artículo". pp. 1 - 9. International Association of Technology, Education and Development (IATED),
- 30 Título del trabajo:** A postgraduate course on complex systems, cellular automata and neural networks
Nombre del congreso: International Technology, Education and Development Conference (INTED 2008)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 03/03/2008
Joaquín Cerdá Boluda; Rafael Gadea Gironés; Néstor Ferrando Jódar; Vicente Herrero Bosch. "cd-Artículo". pp. 1 - 9. International Association of Technology, Education and Development (IATED),
- 31 Título del trabajo:** CSDL And Glider: Educational Tools For Describing Cellular Architectures.
Nombre del congreso: International Technology, Education and Development Conference (INTED 2008)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 03/03/2008
Joaquín Cerdá Boluda; Néstor Ferrando Jódar; Rafael Gadea Gironés; Ricardo José Colom Palero. "cd-Artículo". pp. 1 - 9. International Association of Technology, Education and Development (IATED),
- 32 Título del trabajo:** DOI Measurement with Monolithic Scintillation Crystals: a Primary Performance Evaluation.
Nombre del congreso: 2007 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC 2007)
Ciudad de celebración: Hawaii, Estados Unidos,
Fecha de celebración: 20/12/2007
Christoph Werner Lerche .; Rafael Gadea Gironés; Ricardo José Colom Palero; José Francisco Toledo Alarcón; Vicente Herrero Bosch; José María Monzó Ferrer; Ángel Sebastiá Cortés. "2007 IEEE Nuclear Science Symposium and Medical Imaging Conference Conference Records". pp. 2594 - 2600. IEEE Nuclear and Plasma Society,
- 33 Título del trabajo:** PESIC: An Integrated Front-End for PET Applications.
Nombre del congreso: 15th IEEE NPSS Real Time Conference
Ciudad de celebración: Fermilab, Estados Unidos,
Fecha de celebración: 21/11/2007
Vicente Herrero Bosch; Rafael Gadea Gironés; Ricardo José Colom Palero; Ángel Sebastiá Cortés; José María Monzó Ferrer; Raul Esteve Bosch; Christoph Werner Lerche. "Proceedings of the 15th IEEE NPSS Real Time Conference". pp. 1 - 6. IEEE Nuclear and Plasma Science Society,
- 34 Título del trabajo:** Simulación de Sistemas dinámicos complejos mediante Autómatas Celulares de comportamiento macroscópico definido
Nombre del congreso: I Simposio en Modelado y Simulación de Sistemas Dinámicos (SIMOSI 2007)
Ciudad de celebración: Zaragoza, España,
Fecha de celebración: 14/09/2007
Joaquín Cerdá Boluda; Néstor Ferrando Jódar; Rafael Gadea Gironés; Ricardo José Colom Palero. "Actas de SIMOSI' 07". pp. 77 - 84. International Thompson Editores Spain Paraninfo S.A.,



- 35 Título del trabajo:** CSDL y Glider, un nuevo entorno para el trabajo con estructuras celulares complejas
Nombre del congreso: II Simposio de Inteligencia Computacional (SICO 2007)
Ciudad de celebración: Zaragoza, España,
Fecha de celebración: 11/09/2007
Joaquín Cerdá Boluda; Néstor Ferrando Jódar; Rafael Gadea Gironés; Ángel Sebastiá Cortés. "Actas del II SIMPOSIO DE INTELIGENCIA COMPUTACIONAL - SICO 2007". pp. 467 - 474. Thomson,
- 36 Título del trabajo:** CSDL y Glider: herramientas para el diseño e implementación de estructuras celulares
Nombre del congreso: II Congreso Español de Informática (CEDI)
Ciudad de celebración: Zaragoza, España,
Fecha de celebración: 11/09/2007
Néstor Ferrando Jódar; Joaquín Cerdá Boluda; Rafael Gadea Gironés. "Libro de actas". pp. 197 - 204. International Thomson Editores Spain, SA,
- 37 Título del trabajo:** Glider: un entorno completo e integrado para el diseño de estructuras celulares
Nombre del congreso: II Simposio de Inteligencia Computacional (SICO 2007)
Ciudad de celebración: Zaragoza, España,
Fecha de celebración: 11/09/2007
Néstor Ferrando Jódar; Joaquín Cerdá Boluda; Rafael Gadea Gironés; Marta Covadonga Mora Aguilar. "Actas del II SIMPOSIO DE INTELIGENCIA COMPUTACIONAL - SICO 2007". pp. 169 - 176. Thomson, ISSN ISBN 978-84-9732-606-3
- 38 Título del trabajo:** Incidence Position Estimation in a PET Detector Using a Discretized Positioning Circuit and Neural Networks
Nombre del congreso: 9th International Work conference on artificial neural networks (Computacional an ambient intelligence)
Ciudad de celebración: San Sebastian, España,
Fecha de celebración: 20/06/2007
FERNANDO MATEO JIMÉNEZ; Ramón José Aliaga Varea; Jorge Daniel Martínez Pérez; José María Monzó Ferrer; Rafael Gadea Gironés. pp. 684 - 691. --,
- 39 Título del trabajo:** Diseño y primeros resultados de una cámara PET para animales pequeños basada en cristales LYSO continuos y fotomultiplicadores sensibles a la posición.
Nombre del congreso: XVI Congreso Nacional de Física Médica
Ciudad de celebración: Granada, España,
Fecha de celebración: 25/05/2007
JOSE MARIA BENLLOCH BAVIERA; Christoph Werner Lerche .; Ana Ros García; Filomeno Sánchez Martínez; Ricardo José Colom Palero; Rafael Gadea Gironés; Vicente Herrero Bosch; MARÍA TERESA CIBELES MORA MORA; Francisco José Mora Mas; Ángel Sebastiá Cortés; ANTONI MUNAR ARA. "Actas del XVI Congreso Nacional de Física Médica". pp. 315 - 321. Sociedad Española de Física Médica,
- 40 Título del trabajo:** ASIC Front-End for Position Sensitive Photomultiplier based PET systems with Gain Adjustment and
Nombre del congreso: 2006 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC 2006)
Ciudad de celebración: San Diego, Estados Unidos,
Fecha de celebración: 12/12/2006
Vicente Herrero Bosch; Rafael Gadea Gironés; Ricardo José Colom Palero; Ángel Sebastiá Cortés; Jorge Daniel Martínez Pérez; Christoph Werner Lerche .; JOSE MARIA BENLLOCH BAVIERA. "Proceedings of the 2006 IEEE Nuclear Science Symposium and Medical Imaging Conference". pp. 0 - 0. IEEE Nuclear and plasma Society,



- 41 Título del trabajo:** Design and Calibration of a Small Animal PET Scanner Based on Continuous LYSO Crystals and PSPMTs.
Nombre del congreso: 2006 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC 2006)
Ciudad de celebración: San Diego, Estados Unidos,
Fecha de celebración: 12/12/2006
Ricardo José Colom Palero; Rafael Gadea Gironés; Vicente Herrero Bosch; Christoph Werner Lerche .; Francisco José Mora Mas; Ángel Sebastiá Cortés. "Proceedings of the 2006 IEEE Nuclear Science Symposium and Medical Imaging Conference". pp. 2328 - 2332. IEEE Nuclear and plasma Society,
- 42 Título del trabajo:** ASIC Front-End for Position Sensitive Si Photomultipliers and Vacuum Photomultiplier Tubes
Nombre del congreso: 8th International Workshop on Radiation Imaging Detectors (IWORID 2006)
Ciudad de celebración: Pisa, Italia,
Fecha de celebración: 24/11/2006
Vicente Herrero Bosch; Ricardo José Colom Palero; Rafael Gadea Gironés; Christoph Werner Lerche .; Joaquín Cerdá Boluda; Ángel Sebastiá Cortés; JOSE MARIA BENLLOCH BAVIERA. "Proceedings". pp. 0 - 0. Elsevier,
- 43 Título del trabajo:** Enseñar a diseñar, diseñando
Nombre del congreso: VII Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAE)E
Ciudad de celebración: Madrid España,
Fecha de celebración: 12/07/2006
Ricardo José Colom Palero; Rafael Gadea Gironés; Miguel Ángel Larrea Torres; Joaquín Cerdá Boluda; Marcos Antonio Martínez Peiró. "Resúmenes de las Actas". pp. 30 - 38. TAE)E, ISSN 84-689-9590-8
- 44 Título del trabajo:** Enseñar a diseñar, diseñando
Nombre del congreso: VII Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAE)E
Ciudad de celebración: Madrid España,
Fecha de celebración: 12/07/2006
Ricardo José Colom Palero; Rafael Gadea Gironés; Miguel Ángel Larrea Torres; Joaquín Cerdá Boluda; Marcos Antonio Martínez Peiró. "Resúmenes de las Actas". pp. 30 - 38. TAE)E,
- 45 Título del trabajo:** Un peligroso equilibrio: el compromiso entre las nuevas tendencias y las reformas de los planes de estudio en las titulaciones de electrónica
Nombre del congreso: VII Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAE)E
Ciudad de celebración: Madrid España,
Fecha de celebración: 12/07/2006
Joaquín Cerdá Boluda; MARTA COVADONGA MORA AGUILAR; Vicente Herrero Bosch; Rafael Gadea Gironés. "Resúmenes de las Actas". pp. 1 - 8. TAE)E,
- 46 Título del trabajo:** Un peligroso equilibrio: el compromiso entre las nuevas tendencias y las reformas de los planes de estudio en las titulaciones de electrónica
Nombre del congreso: VII Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAE)E
Ciudad de celebración: Madrid España,
Fecha de celebración: 12/07/2006
Joaquín Cerdá Boluda; Marta Covadonga Mora Aguilar; Vicente Herrero Bosch; Rafael Gadea Gironés. "Resúmenes de las Actas". pp. 1 - 8. TAE)E, ISSN 84-689-9590-8
- 47 Título del trabajo:** Estimadores de posición 2D mediante redes neuronales en detectores de radiación gamma para PET
Nombre del congreso: XX Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2005)



Ciudad de celebración: Gandia, España,

Fecha de celebración: 14/09/2005

Ramón José Aliaga Varea; Jorge Daniel Martínez Pérez; Rafael Gadea Gironés; Ángel Sebastía Cortés; JOSE MARIA BENLLOCH BAVIERA. "Actas (CDROM)". pp. 1 - 9. Editorial de la UPV Ref. 2005.2556,

- 48 Título del trabajo:** Implementación Hardware de Autómatas Celulares. Estudio y modelado de estructuras jerárquicas de procesadores usando blógica reconfigurable y análisis de una posible aplicación
Nombre del congreso: V Jornadas de Computación Reconfigurable y Aplicaciones (JCRA 2005)
Ciudad de celebración: Granada, España,
Fecha de celebración: 13/09/2005
Joaquín Cerdá Boluda; Rafael Gadea Gironés. "Actas de las V Jornadas de Computación Reconfigurable y Aplicaciones". pp. 117 - 122. Thomson, ISSN 84-9732-439-0
- 49 Título del trabajo:** Implementación Hardware de Autómatas Celulares. Estudio y modelado de estructuras jerárquicas de procesadores usando blógica reconfigurable y análisis de una posible aplicación
Nombre del congreso: V Jornadas de Computación Reconfigurable y Aplicaciones (JCRA 2005)
Ciudad de celebración: Granada, España,
Fecha de celebración: 13/09/2005
Joaquín Cerdá Boluda; Rafael Gadea Gironés. "Actas de las V Jornadas de Computación Reconfigurable y Aplicaciones". pp. 117 - 122. Thomson,
- 50 Título del trabajo:** Implementación Hardware de Autómatas Celulares. Estudio y modelado de estructuras jerárquicas de procesadores usando blógica reconfigurable y análisis de una posible aplicación
Nombre del congreso: V Jornadas de Computación Reconfigurable y Aplicaciones (JCRA 2005)
Ciudad de celebración: Granada, España,
Fecha de celebración: 13/09/2005
Joaquín Cerdá Boluda; Rafael Gadea Gironés. "Actas de las V Jornadas de Computación Reconfigurable y Aplicaciones". pp. 117 - 122. Thomson,
- 51 Título del trabajo:** Una nueva metodología para el diseño de Autómatas Celulares con un comportamiento macroscópico definido
Nombre del congreso: I Simposio de Sistemas Complejos (SC 2005)
Ciudad de celebración: Granada, España,
Fecha de celebración: 13/09/2005
Joaquín Cerdá Boluda; Rafael Gadea Gironés; Ricardo José Colom Palero; Ángel Sebastía Cortés. "Actas del I Simposio de Sistemas Complejos (SC'2005)". pp. 3 - 10. Thomson, ISSN 84-9732-446-3
- 52 Título del trabajo:** Una nueva metodología para el diseño de Autómatas Celulares con un comportamiento macroscópico definido
Nombre del congreso: I Simposio de Sistemas Complejos (SC 2005)
Ciudad de celebración: Granada, España,
Fecha de celebración: 13/09/2005
Joaquín Cerdá Boluda; Rafael Gadea Gironés; Ricardo José Colom Palero; Ángel Sebastía Cortés. "Actas del I Simposio de Sistemas Complejos (SC'2005)". pp. 3 - 10. Thomson,
- 53 Título del trabajo:** Implementación de redes neuronales en FPGA para la determinación en tiempo real de la posición de interacción en sensores de rayos gamma
Nombre del congreso: V Jornadas Sobre Computación Reconfigurable Y Aplicaciones (JCRA 2005)
Ciudad de celebración: Cáceres, España,
Fecha de celebración: 12/09/2005
Ramón José Aliaga Varea; Jorge Daniel Martínez Pérez; Rafael Gadea Gironés; JULIÁN BLASCO HERREIZ; Ángel Sebastía Cortés; JOSE MARIA BENLLOCH BAVIERA. pp. 1 - 6. CEDI,



- 54 Título del trabajo:** Verificación y entrenamiento de redes neuronales mediante entorno Matlab-System Generator-Placa FPGA/PCI
Nombre del congreso: V Jornadas Sobre Computación Reconfigurable Y Aplicaciones (JCRA 2005)
Ciudad de celebración: Cáceres, España,
Fecha de celebración: 12/09/2005
JULIÁN BLASCO HERREIZ; Rafael Gadea Gironés; Ramón José Aliaga Varea. pp. 243 - 248. CEDI,
- 55 Título del trabajo:** Corrected position estimation in PET detector modules with multi-anode PMTs using neural networks
Nombre del congreso: 14th IEEE NPSS Real Time Conference
Ciudad de celebración: Estocolmo, Suecia,
Fecha de celebración: 04/06/2005
Ramón José Aliaga Varea; Jorge Daniel Martínez Pérez; Rafael Gadea Gironés; Ángel Sebastián Cortés; JOSE MARIA BENLLOCH BAVIERA; FILOMENO SANCHEZ; NORIEL PAVÓN; Christoph Werner Lerche . "Proceedings of the 13th IEEE NPSS Real Time Conference". pp. 385 - 389. IEEE,
- 56 Título del trabajo:** El Futuro de los HDL en las Enseñanzas de la Electrónica.
Nombre del congreso: VI Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAEE 2004)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 16/07/2004
Rafael Gadea Gironés; Ricardo José Colom Palero; Vicente Herrero Bosch; Joaquín Cerdá Boluda; Jorge Daniel Martínez Pérez. "Actas del VI Congreso de tecnologías Aplicadas a la Enseñanza de la Electrónica". pp. 41 - 52. Congreso, ISSN 84-688-7339-X
- 57 Título del trabajo:** El Futuro de los HDL en las Enseñanzas de la Electrónica.
Nombre del congreso: VI Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAEE 2004)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 16/07/2004
Rafael Gadea Gironés; Ricardo José Colom Palero; Vicente Herrero Bosch; Joaquín Cerdá Boluda; Jorge Daniel Martínez Pérez. "Actas del VI Congreso de tecnologías Aplicadas a la Enseñanza de la Electrónica". pp. 41 - 52. Congreso,
- 58 Título del trabajo:** El papel de los Autómatas Celulares como ejemplo de sistema completo en el marco de la docencia de la electrónica
Nombre del congreso: VI Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAEE 2004)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 16/07/2004
Joaquín Cerdá Boluda; MARTA COVADONGA MORA AGUILAR; Rafael Gadea Gironés; Ángel Sebastián Cortés. "Actas del VI Congreso de tecnologías Aplicadas a la Enseñanza de la Electrónica". pp. 1000 - 1012. Congreso,
- 59 Título del trabajo:** El papel de los Autómatas Celulares como ejemplo de sistema completo en el marco de la docencia de la electrónica
Nombre del congreso: VI Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAEE 2004)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 16/07/2004



Joaquín Cerdá Boluda; Marta Covadonga Mora Aguilar; Rafael Gadea Gironés; Ángel Sebastián Cortés. "Actas del VI Congreso de tecnologías Aplicadas a la Enseñanza de la Electrónica". pp. 1000 - 1012. Congreso, ISSN 84-688-7339-X

60 Título del trabajo: El papel de los Automatas Celulares como ejemplo de sistema completo en el marco de la docencia de la electrónica

Nombre del congreso: VI Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAE 2004)

Ciudad de celebración: Valencia, España,

Fecha de celebración: 16/07/2004

Joaquín Cerdá Boluda; Marta Covadonga Mora Aguilar; Rafael Gadea Gironés; Ángel Sebastián Cortés. "Actas del VI Congreso de tecnologías Aplicadas a la Enseñanza de la Electrónica". pp. 1000 - 1012. Congreso,

61 Título del trabajo: Integración del software de carácter profesional en las practicas de asignaturas del área de microelectrónica

Nombre del congreso: VI Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAE 2004)

Ciudad de celebración: Valencia, España,

Fecha de celebración: 16/07/2004

Vicente Herrero Bosch; Miguel Ángel Larrea Torres; Rafael Gadea Gironés; Joaquín Cerdá Boluda; GUILLERMO PAYÁ VAYÁ. "Actas del VI Congreso de tecnologías Aplicadas a la Enseñanza de la Electrónica". pp. 1010 - 1013. Congreso, ISSN 84-688-7339-X

62 Título del trabajo: Integración del software de carácter profesional en las practicas de asignaturas del área de microelectrónica

Nombre del congreso: VI Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAE 2004)

Ciudad de celebración: Valencia, España,

Fecha de celebración: 16/07/2004

Vicente Herrero Bosch; Miguel Ángel Larrea Torres; Rafael Gadea Gironés; Joaquín Cerdá Boluda; GUILLERMO PAYÁ VAYÁ. "Actas del VI Congreso de tecnologías Aplicadas a la Enseñanza de la Electrónica". pp. 1010 - 1013. Congreso,

63 Título del trabajo: La realización de documentos multimedia para la docencia de la electrónica. Una experiencia con Producer.

Nombre del congreso: VI Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAE 2004)

Ciudad de celebración: Valencia, España,

Fecha de celebración: 16/07/2004

Ricardo José Colom Palero; Rafael Gadea Gironés; Joaquín Cerdá Boluda. "Actas del VI Congreso de tecnologías Aplicadas a la Enseñanza de la Electrónica". pp. 21 - 25. Congreso, ISSN 84-688-7339-X

64 Título del trabajo: La realización de documentos multimedia para la docencia de la electrónica. Una experiencia con Producer.

Nombre del congreso: VI Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAE 2004)

Ciudad de celebración: Valencia, España,

Fecha de celebración: 16/07/2004

Ricardo José Colom Palero; Rafael Gadea Gironés; Joaquín Cerdá Boluda. "Actas del VI Congreso de tecnologías Aplicadas a la Enseñanza de la Electrónica". pp. 21 - 25. Congreso,



- 65 Título del trabajo:** La realización de documentos multimedia para la docencia de la electrónica. Una experiencia con Producer.
Nombre del congreso: VI Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAEE 2004)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 16/07/2004
Ricardo José Colom Palero; Rafael Gadea Gironés; Joaquín Cerdá Boluda. "Actas del VI Congreso de tecnologías Aplicadas a la Enseñanza de la Electrónica". pp. 21 - 25. Congreso,
- 66 Título del trabajo:** Módulo analizador lógico para la tarjeta UP1 de Altera
Nombre del congreso: VI Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAEE 2004)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 16/07/2004
Antonio José Cebrián Ferriols; Rafael Gadea Gironés; JOSÉ MANUEL BLASCO BUCH. "Actas del VI Congreso de tecnologías Aplicadas a la Enseñanza de la Electrónica". pp. 1001 - 1009. Congreso, ISSN 84-688-7339-X
- 67 Título del trabajo:** Módulo analizador lógico para la tarjeta UP1 de Altera
Nombre del congreso: VI Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAEE 2004)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 16/07/2004
Antonio José Cebrián Ferriols; Rafael Gadea Gironés; JOSÉ MANUEL BLASCO BUCH. "Actas del VI Congreso de tecnologías Aplicadas a la Enseñanza de la Electrónica". pp. 1001 - 1009. Congreso,
- 68 Título del trabajo:** fpga implementations of the rnr cellular automata to model electrostatic field
Nombre del congreso: 6th International meeting on High Performance Computing for Computational Science (VECPAR 2004)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 30/06/2004
Joaquín Cerdá Boluda; Ruben Torres Curado; Rafael Gadea Gironés; Ángel Sebastiá Cortés. "Proceedings of VECPar' 04". pp. 51 - 64. UPV,
- 69 Título del trabajo:** NEW DISTRIBUTED ARITHMETIC DISCRETE WAVELET PACKET TRANSFORM ARCHITECTURE
Nombre del congreso: SPIE's 1st International Symposium on Microtechnologies for the New Millenium
Ciudad de celebración: Maspalomas, España,
Fecha de celebración: 12/11/2003
GUILLERMO PAYÁ VAYÁ; Marcos Antonio Martínez Peiró; Francisco José Ballester Merelo; Rafael Gadea Gironés; Ricardo José Colom Palero. "Proceedings of the SPIE's First International Symposium on Microtechnologies for the New Millenium". pp. 370 - 378. SPIE. The International Society for Optical Engineering,
- 70 Título del trabajo:** VALIDACIÓN DE DISEÑOS CUSTOM DSP MEDIANTE ENTORNO MATLAB-SYSTEM GENERATOR-PLACA FPGA/PCI. APLICACIÓN A UNA ARQUITECTURA WAVELET PACKET
Nombre del congreso: III Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA 2003)
Ciudad de celebración: Madrid, España,
Fecha de celebración: 10/09/2003
GUILLERMO PAYÁ VAYÁ; Marcos Antonio Martínez Peiró; Francisco José Ballester Merelo; Vicente Herrero Bosch; Rafael Gadea Gironés. "Actas de las III Jornadas sobre Computación Reconfigurable y Aplicaciones". pp. 131 - 138.



- 71 Título del trabajo:** New Methodology on Circuit and Electronic System Design
Nombre del congreso: International Conference on Engineering Education (ICEE 2003)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 21/07/2003
Joaquín Cerdá Boluda; Marcos Antonio Martínez Peiró; Miguel Ángel Larrea Torres; Rafael Gadea Gironés; Ricardo José Colom Palero. "Teaching Innovations". pp. 5181 - 5186. E.T.S.I. Diseño,
- 72 Título del trabajo:** Analizador lógico de bajo coste para el MAX+PLUS II de Altera
Nombre del congreso: I Jornadas sobre enseñanza en las escuelas de telecomunicación (JEET 2003)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 16/07/2003
JOSÉ MANUEL BLASCO BUCH; Antonio José Cebrián Ferriols; Rafael Gadea Gironés. "I JORNADAS SOBRE ENSEÑANZA EN LAS ESCUELAS DE TELECOMUNICACIÓN JEET03". pp. 2525 - 2525. Todo CD Personalizacion Profesional,
- 73 Título del trabajo:** Prácticas de Electrónica Digital. La Importancia de la Sincronización Teoría-Práctica
Nombre del congreso: I Jornadas sobre enseñanza en las escuelas de telecomunicación (JEET 2003)
Ciudad de celebración: Valencia, España,
Fecha de celebración: 16/07/2003
José Vicente Lidón Roger; Rafael Gadea Gironés; Marcos Antonio Martínez Peiró; Joaquín Cerdá Boluda. "I JORNADAS SOBRE ENSEÑANZA EN LAS ESCUELAS DE TELECOMUNICACIÓN JEET03". pp. 45 - 45. Todo CD Personalizacion Profesional,
- 74 Título del trabajo:** Ariadna: an FPGA-oriented 32-bit processor core using Synopsys flow
Nombre del congreso: SNUG Europe (Synopsys Users Group) 2003 2003
Ciudad de celebración: Munich, Alemania,
Fecha de celebración: 12/05/2003
Jorge Daniel Martínez Pérez; Francisco José Ballester Merelo; Vicente Herrero Bosch; Rafael Gadea Gironés. "Proceedings of the 4th SNUG Europe". pp. 1 - 14.
- 75 Título del trabajo:** Desarrollo de un tutorial multimedia como apoyo a la docencia de VHDL
Nombre del congreso: V Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAAE 2002)
Ciudad de celebración: Las Palmas, España,
Fecha de celebración: 13/02/2002
Joaquín Cerdá Boluda; Ricardo José Colom Palero; Miguel Ángel Larrea Torres; Rafael Gadea Gironés; Marcos Antonio Martínez Peiró. "Libro de Actas". pp. 311 - 314. Congreso,
- 76 Título del trabajo:** Desarrollo de un tutorial multimedia como apoyo a la docencia de VHDL
Nombre del congreso: V Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAAE 2002)
Ciudad de celebración: Las Palmas, España,
Fecha de celebración: 13/02/2002
Joaquín Cerdá Boluda; Ricardo José Colom Palero; Miguel Ángel Larrea Torres; Rafael Gadea Gironés; Marcos Antonio Martínez Peiró. "Libro de Actas". pp. 311 - 314. Congreso,
- 77 Título del trabajo:** Experiencia de diseño sobre dispositivos programables empleando XILINX FOUNDATION
Nombre del congreso: V Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAAE 2002)
Ciudad de celebración: Las Palmas, España,
Fecha de celebración: 13/02/2002



Vicente Herrero Bosch; Joaquín Cerdá Boluda; Rafael Gadea Gironés; Francisco José Ballester Merelo. "Libro de Actas". pp. 419 - 422. Congreso, ISSN @

78 Título del trabajo: Experiencia de diseño sobre dispositivos programables empleando XILINX FOUNDATION

Nombre del congreso: V Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAAE 2002)

Ciudad de celebración: Las Palmas, España,

Fecha de celebración: 13/02/2002

Vicente Herrero Bosch; Joaquín Cerdá Boluda; Rafael Gadea Gironés; Francisco José Ballester Merelo. "Libro de Actas". pp. 419 - 422. Congreso,

79 Título del trabajo: Metodología docente en la evaluación de sistemas digitales mediante software de síntesis lógica

Nombre del congreso: V Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAAE 2002)

Ciudad de celebración: Las Palmas, España,

Fecha de celebración: 13/02/2002

Marcos Antonio Martínez Peiró; Miguel Ángel Larrea Torres; Ricardo José Colom Palero; Rafael Gadea Gironés; Joaquín Cerdá Boluda. "Libro de Actas". pp. 153 - 156. Congreso, ISSN @

80 Título del trabajo: Metodología docente en la evaluación de sistemas digitales mediante software de síntesis lógica

Nombre del congreso: V Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAAE 2002)

Ciudad de celebración: Las Palmas, España,

Fecha de celebración: 13/02/2002

Marcos Antonio Martínez Peiró; Miguel Ángel Larrea Torres; Ricardo José Colom Palero; Rafael Gadea Gironés; Joaquín Cerdá Boluda. "Libro de Actas". pp. 153 - 156. Congreso,

81 Título del trabajo: Aplicación de la reconfigurabilidad dinámica de la FPGA Virtex de Xilinx

Nombre del congreso: I Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA 2001)

Ciudad de celebración: Alicante, España,

Fecha de celebración: 19/09/2001

JOSÉ LUIS CAMPS; Vicente Herrero Bosch; Rafael Gadea Gironés; Joaquín Cerdá Boluda; Marcos Antonio Martínez Peiró; Ricardo José Colom Palero. "Actas del Congreso". pp. 253 - 258. ISSN 84-8454-0981

82 Título del trabajo: Aplicación de la reconfigurabilidad dinámica de la FPGA Virtex de Xilinx

Nombre del congreso: I Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA 2001)

Ciudad de celebración: Alicante, España,

Fecha de celebración: 19/09/2001

JOSÉ LUIS CAMPS; Vicente Herrero Bosch; Rafael Gadea Gironés; Joaquín Cerdá Boluda; Marcos Antonio Martínez Peiró; Ricardo José Colom Palero. "Actas del Congreso". pp. 253 - 258.

83 Título del trabajo: Implementación de la Transformada Wavelet Discreta 2-D con filtros no separables

Nombre del congreso: I Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA 2001)

Ciudad de celebración: Alicante, España,

Fecha de celebración: 19/09/2001

Ricardo José Colom Palero; Rafael Gadea Gironés; Ángel Sebastián Cortés; Marcos Antonio Martínez Peiró; Francisco José Ballester Merelo; Vicente Herrero Bosch. "Actas del Congreso". pp. 3 - 9. ISSN 84-8454-0981



- 84 Título del trabajo:** Transformada Discreta Wavelet 2-D para procesamiento de video en tiempo real
Nombre del congreso: XII Jornadas de Paralelismo
Ciudad de celebración: Valencia, España,
Fecha de celebración: 03/09/2001
Ricardo José Colom Palero; Rafael Gadea Gironés; Ángel Sebastián Cortés; Marcos Antonio Martínez Peiró; Vicente Herrero Bosch; VICENTE ARNAU. "Actas de las XII Jornadas de Paralelismo". pp. 289 - 294. Editorial de la UPV,
- 85 Título del trabajo:** Implementation of 2-D discrete wavelet transform for real-time video signal processing
Nombre del congreso: WSES International Conference on Speech, Signal and Image Processing (SSIP 2001)
Ciudad de celebración: Malta,
Fecha de celebración: 01/09/2001
Ricardo José Colom Palero; Rafael Gadea Gironés; Ángel Sebastián Cortés; Marcos Antonio Martínez Peiró; Vicente Herrero Bosch; VICENTE ARNAU. "Conference Proceedings". pp. 1421 - 1426. ISSN 960-8052-40-8
- 86 Título del trabajo:** Implementation of 2-D discrete wavelet transform for real-time video signal processing
Nombre del congreso: WSES International Conference on Speech, Signal and Image Processing (SSIP 2001)
Ciudad de celebración: Malta,
Fecha de celebración: 01/09/2001
Ricardo José Colom Palero; Rafael Gadea Gironés; Ángel Sebastián Cortés; Marcos Antonio Martínez Peiró; Vicente Herrero Bosch; VICENTE ARNAU. "Conference Proceedings". pp. 1421 - 1426.
- 87 Título del trabajo:** Implementation of Modified Multilayer Neural Networks with On-chip Learning
Nombre del congreso: WSES International Conference on Speech, Signal and Image Processing (SSIP 2001)
Ciudad de celebración: Malta,
Fecha de celebración: 01/09/2001
Rafael Gadea Gironés; Ricardo José Colom Palero; Vicente Herrero Bosch; Marcos Antonio Martínez Peiró; Francisco José Ballester Merelo. "Conference Proceedings". pp. 1991 - 1999.
- 88 Título del trabajo:** Implementation of a lifting based biorthogonal wavelet on a fpga
Nombre del congreso: WSES International Conference on Speech, Signal and Image Processing (SSIP 2001)
Ciudad de celebración: Malta,
Fecha de celebración: 01/09/2001
Vicente Herrero Bosch; Marcos Antonio Martínez Peiró; Joaquín Cerdá Boluda; Rafael Gadea Gironés; Ricardo José Colom Palero; Francisco José Ballester Merelo. "Conference Proceedings". pp. 1581 - 1584. ISSN 960-8052-40-8
- 89 Título del trabajo:** Implementation of a lifting based biorthogonal wavelet on a fpga
Nombre del congreso: WSES International Conference on Speech, Signal and Image Processing (SSIP 2001)
Ciudad de celebración: Malta,
Fecha de celebración: 01/09/2001
Vicente Herrero Bosch; Marcos Antonio Martínez Peiró; Joaquín Cerdá Boluda; Rafael Gadea Gironés; Ricardo José Colom Palero; Francisco José Ballester Merelo. "Conference Proceedings". pp. 1581 - 1584.



- 90 Título del trabajo:** Multiplierless FPGA FIR Filter Design Using a New Signed Common Subexpression Algorithm
Nombre del congreso: WSES International Conference on Speech, Signal and Image Processing (SSIP 2001)
Ciudad de celebración: Malta,
Fecha de celebración: 01/09/2001
Marcos Antonio Martínez Peiró; Rafael Gadea Gironés; Ricardo José Colom Palero; Vicente Herrero Bosch; Francisco José Ballester Merelo. "Conference Proceedings". pp. 2061 - 2065. ISSN 960-8052-40-8
- 91 Título del trabajo:** Multiplierless FPGA FIR Filter Design Using a New Signed Common Subexpression Algorithm
Nombre del congreso: WSES International Conference on Speech, Signal and Image Processing (SSIP 2001)
Ciudad de celebración: Malta,
Fecha de celebración: 01/09/2001
Marcos Antonio Martínez Peiró; Rafael Gadea Gironés; Ricardo José Colom Palero; Vicente Herrero Bosch; Francisco José Ballester Merelo. "Conference Proceedings". pp. 2061 - 2065.
- 92 Título del trabajo:** Study and Analysis of Filters Wavelet for the Compression of Images
Nombre del congreso: IX Spanish Symposium on Pattern Recognition and Image Analysis
Ciudad de celebración: Benicasim, Castellón, España,
Fecha de celebración: 16/05/2001
Ricardo José Colom Palero; Rafael Gadea Gironés; Ángel Sebastiá Cortés. "Proceedings". pp. 311 - 316. Publicaciones de la UJI,
- 93 Título del trabajo:** A FPGA bit-serial Implementation of Three FIR filters structures using a Distributed Arithmetic Approach
Nombre del congreso: 2nd Online Symposium for Electronic Engineers (OSEE 2001)
Ciudad de celebración: Bedford, Estados Unidos,
Fecha de celebración: 10/10/2000
Marcos Antonio Martínez Peiró; Ricardo José Colom Palero; Francisco José Ballester Merelo; Rafael Gadea Gironés. "Proceedings of the Second Online Symposium for Electronic Engineers". pp. 1 - 6. TechOnline, Inc., ISSN 1531-7978
- 94 Título del trabajo:** A FPGA bit-serial Implementation of Three FIR filters structures using a Distributed Arithmetic Approach
Nombre del congreso: 2nd Online Symposium for Electronic Engineers (OSEE 2001)
Ciudad de celebración: Bedford, Estados Unidos,
Fecha de celebración: 10/10/2000
Marcos Antonio Martínez Peiró; Ricardo José Colom Palero; Francisco José Ballester Merelo; Rafael Gadea Gironés. "Proceedings of the Second Online Symposium for Electronic Engineers". pp. 1 - 6. TechOnline, Inc.,
- 95 Título del trabajo:** FPGA Synthesis of Custom DSP Blocks Using Distributed Arithmetic
Nombre del congreso: 2nd Online Symposium for Electronic Engineers (OSEE 2001)
Ciudad de celebración: Bedford, Estados Unidos,
Fecha de celebración: 10/10/2000
Marcos Antonio Martínez Peiró; Rafael Gadea Gironés; Ricardo José Colom Palero; Francisco José Ballester Merelo; Vicente Herrero Bosch. "Proceedings of the Second Online Symposium for Electronic Engineers". pp. 1 - 7. TechOnline, Inc., ISSN 1531-7978



- 96 Título del trabajo:** FPGA Synthesis of Custom DSP Blocks Using Distributed Arithmetic
Nombre del congreso: 2nd Online Symposium for Electronic Engineers (OSEE 2001)
Ciudad de celebración: Bedford, Estados Unidos,
Fecha de celebración: 10/10/2000
Marcos Antonio Martínez Peiró; Rafael Gadea Gironés; Ricardo José Colom Palero; Francisco José Ballester Merelo; Vicente Herrero Bosch. "Proceedings of the Second Online Symposium for Electronic Engineers". pp. 1 - 7. TechOnline, Inc.,
- 97 Título del trabajo:** Implementation of 1-D Daubechies Wavelet Transform on FPGA
Nombre del congreso: 2nd Online Symposium for Electronic Engineers (OSEE 2001)
Ciudad de celebración: Bedford, Estados Unidos,
Fecha de celebración: 10/10/2000
Vicente Herrero Bosch; Joaquín Cerdá Boluda; Rafael Gadea Gironés; Marcos Antonio Martínez Peiró; Ángel Sebastia Cortés. "Proceedings of the Second Online Symposium for Electronic Engineers". pp. 0 - 0. TechOnline, Inc., ISSN 1531-7978
- 98 Título del trabajo:** Implementation of 1-D Daubechies Wavelet Transform on FPGA
Nombre del congreso: 2nd Online Symposium for Electronic Engineers (OSEE 2001)
Ciudad de celebración: Bedford, Estados Unidos,
Fecha de celebración: 10/10/2000
Vicente Herrero Bosch; Joaquín Cerdá Boluda; Rafael Gadea Gironés; Marcos Antonio Martínez Peiró; Ángel Sebastia Cortés. "Proceedings of the Second Online Symposium for Electronic Engineers". pp. 0 - 0. TechOnline, Inc.,
- 99 Título del trabajo:** Reconfigurable Audio Processing Board DSP and FPGA based using High-Level Graphic Interface
Nombre del congreso: 2nd Online Symposium for Electronic Engineers (OSEE 2001)
Ciudad de celebración: Bedford, Estados Unidos,
Fecha de celebración: 10/10/2000
Joaquín Cerdá Boluda; Vicente Herrero Bosch; Rafael Gadea Gironés; Ángel Sebastia Cortés; Francisco José Ballester Merelo. "Proceedings of the Second Online Symposium for Electronic Engineers". pp. 0 - 0. TechOnline, Inc., ISSN 1531-7978
- 100 Título del trabajo:** Reconfigurable Audio Processing Board DSP and FPGA based using High-Level Graphic Interface
Nombre del congreso: 2nd Online Symposium for Electronic Engineers (OSEE 2001)
Ciudad de celebración: Bedford, Estados Unidos,
Fecha de celebración: 10/10/2000
Joaquín Cerdá Boluda; Vicente Herrero Bosch; Rafael Gadea Gironés; Ángel Sebastia Cortés; Francisco José Ballester Merelo. "Proceedings of the Second Online Symposium for Electronic Engineers". pp. 0 - 0. TechOnline, Inc.,
- 101 Título del trabajo:** Reconfigurable Embedded System Based on FPGA and CAN BUS
Nombre del congreso: 2nd Online Symposium for Electronic Engineers (OSEE 2001)
Ciudad de celebración: Bedford, Estados Unidos,
Fecha de celebración: 10/10/2000
Joaquín Cerdá Boluda; Vicente Herrero Bosch; Francisco José Ballester Merelo; Rafael Gadea Gironés; Ángel Sebastia Cortés. "Proceedings of the Second Online Symposium for Electronic Engineers". pp. 0 - 0. TechOnline, Inc., ISSN 1531-7978



- 102 Título del trabajo:** Reconfigurable Embedded System Based on FPGA and CAN BUS
Nombre del congreso: 2nd Online Symposium for Electronic Engineers (OSEE 2001)
Ciudad de celebración: Bedford, Estados Unidos,
Fecha de celebración: 10/10/2000
Joaquín Cerdá Boluda; Vicente Herrero Bosch; Francisco José Ballester Merelo; Rafael Gadea Gironés; Ángel Sebastián Cortés. "Proceedings of the Second Online Symposium for Electronic Engineers". pp. 0 - 0. TechOnline, Inc.,
- 103 Título del trabajo:** Artificial Neural Network Implementation on a Single FPGA of a Pipeline On-Line Backpropagation
Nombre del congreso: 13th International Symposium on System Synthesis (ISSS 2000)
Ciudad de celebración: Madrid, España,
Fecha de celebración: 20/09/2000
Rafael Gadea Gironés; Joaquín Cerdá Boluda; Francisco José Ballester Merelo; Antonio Mocholí Salcedo. "Proceedings of the 13th International Symposium on System Synthesis". pp. 225 - 230. IEEE,
- 104 Título del trabajo:** Diseño de Circuitos y Sistemas Electrónicos
Nombre del congreso: IV Congreso de Tecnologías aplicadas a la enseñanza de la electrónica (TAE 2000)
Ciudad de celebración: Barcelona, España,
Fecha de celebración: 13/09/2000
Rafael Gadea Gironés; Ricardo José Colom Palero; Miguel Ángel Larrea Torres. "Actas del Congreso". pp. 561 - 564. Universitat Autònoma de Barcelona,
- 105 Título del trabajo:** The Role of Embedded Memories in the Implementation of Artificial Neural Networks
Nombre del congreso: 10th International Conference on Field Programmable Logic and Applications, FPL2000
Ciudad de celebración: Villach, Austria,
Fecha de celebración: 27/08/2000
Rafael Gadea Gironés; Vicente Herrero Bosch; Ángel Sebastián Cortés; Antonio Mocholí Salcedo. "Field-Programmable Logic and Applications". pp. 785 - 788. Springer-Verlag,
- 106 Título del trabajo:** Implementation with FPGAs of a Pipeline On-line Backpropagation
Nombre del congreso: 6th IEEE International Conference on Electronics, Circuits and Systems (ICECS 1999)
Ciudad de celebración: Pafos, Chipre,
Fecha de celebración: 05/09/1999
Rafael Gadea Gironés; Antonio Mocholí Salcedo. "Proceedings of the ICECS'99". pp. 1021 - 1024. IEEE,
- 107 Título del trabajo:** Forward-backward parallelism in On-Line Backpropagation
Nombre del congreso: 5th International Work-Conference on Artificial and Natural Neural Networks (IWANN)
Ciudad de celebración: Alicante, España,
Fecha de celebración: 02/06/1999
Rafael Gadea Gironés; Antonio Mocholí Salcedo. "Engineering Applications of Bio-Inspired Artificial Neural Networks". pp. 157 - 165. SPRINGER-VERLAG / LNCS 1607,
- 108 Título del trabajo:** Systolic Implementation of a Pipelined On-Line Backpropagation
Nombre del congreso: 7th IEEE International Conference on Microelectronics for Neural, Fuzzy and Bio-Inspired Systems
Ciudad de celebración: Granada, España,
Fecha de celebración: 07/04/1999



Rafael Gadea Gironés; Antonio Mocholí Salcedo. "Proceedings of the Seventh IEEE International Conference on Microelectronics for Neural, Fuzzy, and Bio-Inspired Systems". pp. 387 - 394. IEEE Computer Science,

- 109 Título del trabajo:** DISEÑO PARA EL REUSO: METODOLOGÍA BASADA EN VHDL Y VALIDACION MEDIANTE IMPLEMENTACION EN FPGAs
Nombre del congreso: XXVI Reunión Bienal de la Real Sociedad Española de Física
Ciudad de celebración: Las Palmas, España,
Fecha de celebración: 30/10/1997
FRANCISCO JAVIER JIMENEZ MARQUINA; Rafael Gadea Gironés; Ricardo José Colom Palero; Marcos Antonio Martínez Peiró; Francisco José Ballester Merelo; José Francisco Toledo Alarcón. pp. 177 - 178. SERVICIO DE PUBLICACIONES DE LA UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA, ISSN 84-89728-24-0
- 110 Título del trabajo:** DISEÑO PARA EL REUSO: METODOLOGÍA BASADA EN VHDL Y VALIDACION MEDIANTE IMPLEMENTACION EN FPGAs
Nombre del congreso: XXVI Reunión Bienal de la Real Sociedad Española de Física
Ciudad de celebración: Las Palmas, España,
Fecha de celebración: 30/10/1997
FRANCISCO JAVIER JIMENEZ MARQUINA; Rafael Gadea Gironés; Ricardo José Colom Palero; Marcos Antonio Martínez Peiró; Francisco José Ballester Merelo; José Francisco Toledo Alarcón. pp. 177 - 178. SERVICIO DE PUBLICACIONES DE LA UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA,
- 111 Título del trabajo:** OPTIMIZACION DE MAQUINAS SECUENCIALES SINCRONAS A PARTIR DE DESCRIPCION HDL. IMPLEMENTACION SOBRE FPGA.
Nombre del congreso: XXVI Reunión Bienal de la Real Sociedad Española de Física
Ciudad de celebración: Las Palmas, España,
Fecha de celebración: 30/10/1997
Marcos Antonio Martínez Peiró; Ricardo José Colom Palero; Francisco José Ballester Merelo; José Francisco Toledo Alarcón; Rafael Gadea Gironés; FRANCISCO JAVIER JIMENEZ MARQUINA. pp. 181 - 182. SERVICIO DE PUBLICACIONES DE LA UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA,
- 112 Título del trabajo:** Docencia y Diseño Básico VLSI con Tanner Tools.
Nombre del congreso: II Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAE 1996)
Ciudad de celebración: Madrid, España,
Fecha de celebración: 19/09/1996
Miguel Ángel Larrea Torres; José Luís Marín Galán; Rafael Gadea Gironés. "Libro de Actas". pp. 212 - 218. ISSN @
- 113 Título del trabajo:** Estudio de las Aptitudes Docentes del Sistema Integrado de Diseño de ASIC¿s SemiCustom OCEAN
Nombre del congreso: II Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAE 1996)
Ciudad de celebración: Madrid, España,
Fecha de celebración: 19/09/1996
FRANCISCO GARCIA DE QUIROS; Miguel Ángel Larrea Torres; Rafael Gadea Gironés. "Libro de Actas". pp. 92 - 96.
- 114 Título del trabajo:** Enseñando Técnicas VLSI en la UPV: Proyecto de Innovación Docente 103.
Nombre del congreso: II Jornadas sobre la innovación docente en las enseñanzas técnicas universitarias
Ciudad de celebración: Valencia, España,
Fecha de celebración: 14/09/1994



Miguel Ángel Larrea Torres; Víctor Domínguez Richards; Rafael Gadea Gironés; José Luís Marín Galán. "Actas". pp. 233 - 247.

115 Título del trabajo: Developing VLSI Design Skills: Reflections on a Trainig Experience

Nombre del congreso: 4th Eurochip Workshop on VLSI Design Training

Ciudad de celebración: Toledo, España,

Fecha de celebración: 29/09/1993

Miguel Ángel Larrea Torres; José Luís Marín Galán; Víctor Domínguez Richards; Rafael Gadea Gironés. "Proceedings of the 4th Eurochip Workshop on VLSI Design Training". pp. 14 - 18. Eurochip,

Gestión de I+D+i y participación en comités científicos

Comités científicos, técnicos y/o asesores

Título del comité: Electronics . Tipo participación: Comité de edición. ISSN: 2079-9292

Fecha de inicio: 2023

Otros méritos

Consejos editoriales

Nombre del Consejo editorial: Electronics

Entidad de afiliación: MDPI AG

Categoría profesional: Comité de edición

Fecha de inicio: 2023

Duración: 12 meses

Períodos de actividad investigadora

Nº de tramos reconocidos: 3

Entidad acreditante: Comisión Nacional Evaluadora de la Actividad Investigadora (CNEAI)

Acreditaciones/reconocimientos obtenidos

1 Descripción: ACREDITACION A CATEDRÁTICO DE UNIVERIDAD

Entidad acreditante: Agencia Nacional de Evaluación de la Calidad y Acreditación

Tipo de entidad: NACIONAL

Ciudad entidad acreditante: MADRID, España

Fecha del reconocimiento: 06/03/2024

2 Descripción: Quinquenios

Nº de tramos reconocidos: 5